

PATENT  
8045-1018

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Hiroshi TSUCHI  
Conf.:  
Appl. No.: NEW NON-PROVISIONAL  
Group:  
Filed: February 6, 2004  
Examiner:  
Title: DRIVING CIRCUIT FOR DISPLAY DEVICE

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

February 6, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the  
priority filing date of the following application(s) for the  
above-entitled U.S. application under the provisions of 35  
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-034130	February 12, 2003

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



\_\_\_\_\_  
Benoit Castel, Reg. No. 35,041

745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297

BC/yr

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 1 2 日  
Date of Application:

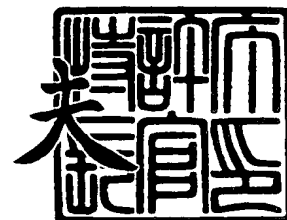
出 願 番 号            特 願 2 0 0 3 - 0 3 4 1 3 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 3 4 1 3 0 ]

出   願   人            日本電気株式会社  
Applicant(s):           N E C エレクトロニクス株式会社

2 0 0 3 年 1 2 月   3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 34803859

【提出日】 平成15年 2月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/458  
H09G 3/56  
G02F 1/133  
G09G 3/20

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 土 弘

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【包括委任状番号】 0216557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の駆動回路

【特許請求の範囲】

【請求項 1】

出力端子と高電位電源との間に並列に配置され、前記出力端子の充電作用を行う第 1 の増幅トランジスタ及び第 1 の電流源と、

前記出力端子と低電位電源との間に並列に配置され、前記出力端子の放電作用を行う第 2 の増幅トランジスタ及び第 2 の電流源と、

を備え、

前記出力端子を所望の電圧に駆動する駆動期間が少なくとも第 1 の期間と第 2 の期間とから構成され、前記第 1 の期間において、前記第 1 の増幅トランジスタ及び前記第 2 の増幅トランジスタを共に活性とし、

前記第 2 の期間において、前記第 1 の増幅トランジスタ及び前記第 2 の増幅トランジスタのうち一方の増幅トランジスタを活性とし、他方の増幅トランジスタを非活性とする、ように制御する制御手段を備えている、ことを特徴とする駆動回路。

【請求項 2】

前記第 1 の期間において、前記第 1 の増幅トランジスタにより充電駆動される第 1 の設定駆動電圧が、前記第 2 の増幅トランジスタにより放電駆動される第 2 の設定駆動電圧よりも、低電位とされる、ことを特徴とする請求項 1 記載の駆動回路。

【請求項 3】

前記第 2 の期間において、非活性とされる前記他方の前記増幅トランジスタと並列配置された前記電流源が活性とされる、ことを特徴とする請求項 1 又は 2 記載の駆動回路。

【請求項 4】

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 1 の差動対を含み、前記第 1 の差動対の出力が前記第 1 の増幅トランジスタの制御端に入力される第 1 の差動回路と、

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第2の差動対を含み、前記第2の差動対の出力が前記第2の増幅トランジスタの制御端に入力される第2の差動回路と、

を備え、

前記第1の差動対及び前記第2の差動対のうちの少なくとも一方の差動対は、互いに閾値電圧の互いに異なるトランジスタ対から構成されている、ことを特徴とする請求項1記載の駆動回路。

#### 【請求項5】

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第1の差動対を含み、前記第1の差動対の出力が前記第1の増幅トランジスタの制御端に入力される第1の差動回路と、

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第2の差動対を含み、前記第2の差動対の出力が前記第2の増幅トランジスタの制御端に入力される第2の差動回路と、

を備え、

前記第1の差動対及び前記第2の差動対のうちの少なくとも一の差動対には、前記一の差動対を構成するトランジスタ対のうちの一方のトランジスタとして、並列に接続され互いに閾値電圧の異なる複数のトランジスタが配設され、

前記複数のトランジスタのそれぞれの制御端は共通接続され共通接続点が前記非反転入力端子と前記反転入力端子のうち前記一の差動対を構成するトランジスタ対の他方のトランジスタの制御端が接続する入力端子とは別の入力端子に接続されており、

前記複数のトランジスタのうちの少なくとも一つを、前記一の差動対を構成するトランジスタ対の前記一方のトランジスタとして選択する制御手段を備えている、ことを特徴とする請求項1記載の駆動回路。

#### 【請求項6】

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第1の差動対を含み、前記第1の差動対の出力が前記第1の増幅トランジスタの制御端に入力される第1の差動回路と、

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第2の差動対を含み、前記第2の差動対の出力が前記第2の増幅トランジスタの制御端に入力される第2の差動回路と、

を備え、

前記第1の差動対及び前記第2の差動対のうちの少なくとも一の差動対には、前記一の差動対を構成するトランジスタ対のうちの一方のトランジスタとして、並列に接続され互いに電流駆動能力の異なる複数のトランジスタが配設され、

前記複数のトランジスタのそれぞれの制御端は共通接続され共通接続点が前記非反転入力端子と前記反転入力端子のうち前記一の差動対を構成するトランジスタ対の他方のトランジスタの制御端が接続する入力端子とは別の入力端子に接続されており、

前記複数のトランジスタのうちの少なくとも一つを、前記一の差動対を構成するトランジスタ対の前記一方のトランジスタとして選択する制御手段を備えている、ことを特徴とする請求項1記載の駆動回路。

#### 【請求項7】

前記複数のトランジスタと、前記一の差動対の負荷回路との間の接続を、それぞれオン・オフ制御する複数のスイッチと、

前記複数のスイッチのうち少なくとも一つをオンとするように制御する手段と

を備えている、ことを特徴とする請求項5又は6記載の駆動回路。

#### 【請求項8】

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第1の差動対と、前記第1の差動対の出力対に接続される第1の負荷回路と、を含み、前記第1の差動対の出力が前記第1の増幅トランジスタの制御端に入力される第1の差動回路と、

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第2の差動対と、前記第2の差動対の出力対に接続される第2の負荷回路と、を含み、前記第2の差動対の出力が前記第2の増幅トランジスタの制御端に入力される第2の差動回路と、

を備え、

前記第 1 の負荷回路及び第 2 の負荷回路のうちの少なくとも一の負荷回路は、前記一の負荷回路を構成するトランジスタ対が、互いに閾値電圧の互いに異なるトランジスタ対よりなる、ことを特徴とする請求項 1 記載の駆動回路。

【請求項 9】

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 1 の差動対と、前記第 1 の差動対の出力対に接続される第 1 の負荷回路と、を含み、前記第 1 の差動対の出力が前記第 1 の増幅トランジスタの制御端に入力される第 1 の差動回路と、

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 2 の差動対と、前記第 2 の差動対の出力対に接続される第 2 の負荷回路と、を含み、前記第 2 の差動対の出力が前記第 2 の増幅トランジスタの制御端に入力される第 2 の差動回路と、

を備え、

前記第 1 の負荷回路及び前記第 2 の負荷回路のうち少なくとも一の負荷回路には、前記一の負荷回路を構成するトランジスタ対のうち少なくとも一方のトランジスタとして、並列に接続され互いに閾値電圧の異なる複数のトランジスタが配設されており、

前記複数のトランジスタのそれぞれの制御端が共通接続され、共通接続点は前記一の負荷回路を構成するトランジスタ対のうち他方のトランジスタの制御端に接続されているか、又は、前記他方のトランジスタの制御端及び前記一の負荷回路の出力端に接続され、

前記複数のトランジスタの少なくとも一つを活性とする制御手段を備えている、ことを特徴とする請求項 1 記載の駆動回路。

【請求項 10】

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 1 の差動対と、前記第 1 の差動対の出力対に接続される第 1 の負荷回路と、を含み、前記第 1 の差動対の出力が前記第 1 の増幅トランジスタの制御端に入力される第 1 の差動回路と、



非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 2 の差動対と、前記第 2 の差動対の出力対に接続される第 2 の負荷回路と、を含み、前記第 2 の差動対の出力が前記第 2 の増幅トランジスタの制御端に入力される第 2 の差動回路と、

を備え、

前記第 1 の負荷回路及び前記第 2 の負荷回路のうち少なくとも一の負荷回路には、前記一の負荷回路を構成するトランジスタ対のうち少なくとも一方のトランジスタとして、並列に接続され互いに電流駆動能力の異なる複数のトランジスタが配設されており、

前記複数のトランジスタのそれぞれの制御端が共通接続され、共通接続点は前記一の負荷回路を構成するトランジスタ対のうち他方のトランジスタの制御端に接続されているか、又は、前記他方のトランジスタの制御端及び前記一の負荷回路の出力端に接続され、

前記複数のトランジスタの少なくとも一つを活性とする制御手段を備えている、ことを特徴とする請求項 1 記載の駆動回路。

#### 【請求項 1 1】

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 1 の差動対と、前記第 1 の差動対の出力対に接続される第 1 の負荷回路と、を含み、前記第 1 の差動対の出力が前記第 1 の増幅トランジスタの制御端に入力される第 1 の差動回路と、

非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 2 の差動対と、前記第 2 の差動対の出力対に接続される第 2 の負荷回路と、を含み、前記第 2 の差動対の出力が前記第 2 の増幅トランジスタの制御端に入力される第 2 の差動回路と、

を備え、

前記第 1 の負荷回路及び前記第 2 の負荷回路のうち少なくとも一の負荷回路には、前記一の負荷回路を構成する抵抗素子対の少なくとも一方の抵抗素子として、互いに並列に接続され複数種の抵抗値の複数の抵抗が用意されており、

前記複数の抵抗のうち少なくとも 1 つの抵抗を選択し、前記一の負荷回路を構

成する抵抗素子対の前記一方の抵抗素子として、前記一の負荷回路に対応する前記差動対の出力と、前記一の負荷回路に対応する電源間に接続する制御手段を備えている、ことを特徴とする請求項 1 記載の駆動回路。

**【請求項 1 2】**

前記高電位電源と前記出力端子との間に、前記第 1 の増幅トランジスタと直列に接続され、制御信号によりオン・オフされる第 1 のスイッチと、

前記高電位電源と前記出力端子との間に、前記第 1 の電流源と直列に接続され、制御信号によりオン・オフされる第 2 のスイッチと、

前記低電位電源と前記出力端子との間に、前記第 2 の増幅トランジスタと直列に接続され、制御信号によりオン・オフされる第 3 のスイッチと、

前記低電位電源と前記出力端子との間に、前記第 2 の電流源と直列に接続され、制御信号によりオン・オフされる第 4 のスイッチと、

を備えている、ことを特徴とする請求項 1 記載の駆動回路。

**【請求項 1 3】**

前記第 1 の期間では、前記第 1 及び第 3 のスイッチがオンとされ、前記第 2 及び第 4 のスイッチはオフとされ、

前記第 2 の期間では、前記第 1 及び第 4 のスイッチがオンとされ前記第 2 及び第 3 のスイッチはオフとされるか、または、前記第 2 及び第 3 のスイッチがオンとされ前記第 1 及び第 4 のスイッチはオフとされる、ことを特徴とする請求項 1 2 記載の駆動回路。

**【請求項 1 4】**

入力端子と前記出力端子の間に、制御信号によりオン・オフされるスイッチを備えている、ことを特徴とする請求項 1 記載の駆動回路。

**【請求項 1 5】**

前記高電位電源と前記出力端子との間に、前記第 1 の増幅トランジスタと直列に接続され、制御信号によりオン・オフされる第 1 のスイッチと、

前記高電位電源と前記出力端子との間に、前記第 1 の電流源と直列に接続され、制御信号によりオン・オフされる第 2 のスイッチと、

前記低電位電源と前記出力端子との間に、前記第 2 の増幅トランジスタと直列

に接続され、制御信号によりオン・オフされる第3のスイッチと、

前記低電位電源と前記出力端子との間に、前記第2の電流源と直列に接続され、制御信号によりオン・オフされる第4のスイッチと、

入力端子と前記出力端子の間に、制御信号によりオン・オフされる第5のスイッチを備え、

前記出力端子を所望の電圧に駆動する駆動期間が第3の期間をさらに有し、

前記第1の期間では、前記第1及び第3のスイッチがオンとされ、前記第2及び第4のスイッチはオフとされ、前記第5のスイッチはオフとされ、

前記第2の期間では、

前記第1及び第4のスイッチがオンとされ前記第2及び第3のスイッチはオフとされ、前記第5のスイッチはオフとされるか、あるいは、

前記第2及び第3のスイッチがオンとされ前記第1及び第4のスイッチはオフとされ、前記第5のスイッチはオフとされ、

前記第3の期間において、前記第1乃至第4のスイッチはオフとされ、前記第5のスイッチがオンとされる、ことを特徴とする請求項14記載の駆動回路。

#### 【請求項16】

前記低電位電源側に接続される第3の電流源と、前記第3の電流源で駆動され、入力端子と前記出力端子に非反転入力端子と反転入力端子がそれぞれ接続されている第1の差動対と、前記第1の差動対の出力対と前記高電位電源間に接続される第1の負荷回路と、

を備え、前記第1の差動対の出力が前記第1の増幅トランジスタの制御端に入力される第1の差動回路と、

前記高電位電源側に接続される第4の電流源と、前記第4の電流源で駆動され、前記入力端子と前記出力端子に非反転入力端子と反転入力端子が接続され、前記第1の差動対と逆導電型の第2の差動対と、前記第2の差動対の出力対と前記低電位電源間に接続される第2の負荷回路と、

を備え、前記第2の差動対の出力が前記第2の増幅トランジスタの制御端に入力される第2の差動回路と、

を備え、

前記第 1 の差動対及び第 2 の差動対のうちの少なくとも一の差動対には、前記一の差動対を構成するトランジスタ対のうちの少なくとも一方のトランジスタとして、並列に接続され、互いに閾値電圧の異なる、複数のトランジスタが配設され、

前記複数のトランジスタの制御端は共通接続され共通接続点は、前記非反転入力端子と前記反転入力端子のうち前記一方のトランジスタの制御端が接続する入力端子とは別の入力端子に接続され、

前記一の差動対に対応する前記負荷回路と、前記一の差動対を駆動する前記電流源との間に、前記複数のトランジスタのそれぞれと直列形態に接続され、制御信号によりオン・オフ制御される複数のスイッチを備え、

前記出力端子を所望の電圧に駆動する駆動期間において、前記複数のスイッチの少なくとも一つをオンとする制御を行う手段を備えている、ことを特徴とする請求項 1 記載の駆動回路。

#### 【請求項 17】

前記低電位電源側に接続される第 3 の電流源と、前記第 3 の電流源で駆動され、入力端子と前記出力端子とに非反転入力端子と反転入力端子がそれぞれ接続されている第 1 の差動対と、前記第 1 の差動対の出力対と前記高電位電源間に接続される第 1 の負荷回路と、

を備え、前記第 1 の差動対の出力が前記第 1 の増幅トランジスタの制御端に入力される第 1 の差動回路と、

前記高電位電源側に接続される第 4 の電流源と、前記第 4 の電流源で駆動され、前記入力端子と前記出力端子とに非反転入力端子と反転入力端子がそれぞれ接続され、前記第 1 の差動対と逆導電型の第 2 の差動対と、前記第 2 の差動対の出力対と前記低電位電源間に接続される第 2 の負荷回路と、

を備え、前記第 2 の差動対の出力が前記第 2 の増幅トランジスタの制御端に入力される第 2 の差動回路と、

を備え、

前記第 1 の差動対及び第 2 の差動対のうちの少なくとも一の差動対には、前記一の差動対を構成するトランジスタ対のうちの少なくとも一方のトランジスタと

して、並列に接続され、互いに電流駆動能力の異なる、複数のトランジスタが配設され、

前記複数のトランジスタの制御端は共通接続され共通接続点は、前記非反転入力端子と前記反転入力端子のうち前記一方のトランジスタの制御端が接続する入力端子とは別の入力端子に接続され、

前記一の差動対に対応する前記負荷回路と、前記一の差動対を駆動する前記電流源との間に、前記複数のトランジスタのそれぞれと直列形態に接続され、制御信号によりオン・オフ制御される複数のスイッチを備え、

前記出力端子を所望の電圧に駆動する駆動期間において、前記複数のスイッチの少なくとも一つをオンとする制御を行う手段を備えている、ことを特徴とする請求項 1 記載の駆動回路。

#### 【請求項 1 8】

前記高電位電源と前記出力端子との間に、前記第 1 の増幅トランジスタと直列に接続され、制御信号によりオン・オフされる第 1 のスイッチと、

前記高電位電源と前記出力端子との間に、前記第 1 の電流源と直列に接続され、制御信号によりオン・オフされる第 2 のスイッチと、

前記低電位電源と前記出力端子との間に、前記第 2 の増幅トランジスタと直列に接続され、制御信号によりオン・オフされる第 3 のスイッチと、

前記低電位電源と前記出力端子との間に、前記第 2 の電流源と直列に接続され、制御信号によりオン・オフされる第 4 のスイッチと、

を備えている、ことを特徴とする請求項 1 6 又は 1 7 記載の駆動回路。

#### 【請求項 1 9】

入力端子へ供給される入力電圧に対して、前記第 1 の増幅トランジスタにより前記出力端子に充電駆動される第 1 の駆動設定電圧と、前記入力電圧に対して前記第 2 の増幅トランジスタにより前記出力端子に放電駆動される第 2 の駆動設定電圧と、が互いに異なる電圧レベルとされ、

前記第 1 の駆動設定電圧と前記第 2 の駆動設定電圧との間に、前記第 1 の増幅トランジスタ及び前記第 2 の増幅トランジスタがともに動作しない緩衝領域が設けられている、ことを特徴とする請求項 1 記載の駆動回路。

**【請求項 2 0】**

前記第 1 の期間では、前記第 1 の増幅トランジスタと前記第 2 の増幅トランジスタとが、ともに活性化可能とされ、

前記第 2 の期間では、充電駆動及び放電駆動をそれぞれ行う前記第 1 の増幅トランジスタ及び前記第 2 の増幅トランジスタのうちいずれか一方の増幅トランジスタと、前記第 1 の電流源及び第 2 の電流源のうち前記一方の増幅トランジスタとは逆の駆動を行う電流源と、をともに活性化させて、前記出力端子を所望の電圧に駆動する制御を行う手段を備えている、ことを特徴とする請求項 1 9 記載の駆動回路。

**【請求項 2 1】**

前記緩衝領域の範囲の設定を制御する手段を備えている、ことを特徴とする請求項 1 9 記載の駆動回路。

**【請求項 2 2】**

前記緩衝領域の範囲の設定を制御する手段が、

前記入力端子に供給される入力電圧と前記出力端子の出力電圧とを非反転入力端と反転入力端とからそれぞれ入力し、出力端から前記第 1 の増幅トランジスタへ第 1 の信号を供給する、第 1 導電型の第 1 の差動対を含む第 1 の差動回路と、

前記入力端子に供給される入力電圧と前記出力端子の出力電圧とを非反転入力端と反転入力端とからそれぞれ入力し、出力端から前記第 2 の増幅トランジスタへ第 2 の信号を供給する、第 2 導電型の第 2 の差動対を含む第 2 の差動回路と、  
を有し、

少なくとも前記第 1 の期間において、前記第 1 の差動対及び／又は前記第 2 の差動対は、互いに閾値電圧が異なるか、あるいは、互いに電流駆動能力の異なる、トランジスタ対で構成されるように制御される、ことを特徴とする請求項 2 1 記載の駆動回路。

**【請求項 2 3】**

前記第 1 の差動回路と前記第 2 の差動回路は、それぞれの非反転入力端子が共通に、駆動回路の入力端子に接続され、それぞれの反転入力端子が共通に、前記出力端子に接続されている、ことを特徴とする請求項 4 乃至 6、8 乃至 1 1 のい

ずれかーに記載の駆動回路。

**【請求項 2 4】**

入力端子に供給される入力電圧と前記出力端子の出力電圧とを非反転入力端と反転入力端とからそれぞれ入力し、出力端から前記第 1 の増幅トランジスタへ第 1 の信号を供給する、第 1 導電型の第 1 の差動対を含む第 1 の差動回路と、

前記入力端子に供給される入力電圧と前記出力端子の出力電圧とを非反転入力端と反転入力端とからそれぞれ入力し、出力端から前記第 2 の増幅トランジスタへ第 2 の信号を供給する、第 2 導電型の第 2 の差動対を含む第 2 の差動回路と、  
を有し、

前記第 1 の差動対及び前記第 2 の差動対のうちの少なくとも一の差動対は、互いに閾値電圧の互いに異なるトランジスタ対から構成されており、

前記入力端子へ供給される入力電圧に対して前記第 1 の増幅トランジスタにより前記出力端子に充電駆動される第 1 の駆動設定電圧と、前記入力電圧に対して前記第 2 の増幅トランジスタにより前記出力端子に放電駆動される第 2 の駆動設定電圧と、が互いに異なる電圧レベルとされ、

前記第 1 の駆動設定電圧と前記第 2 の駆動設定電圧との間に、前記第 1 の増幅トランジスタ及び前記第 2 の増幅トランジスタがともに動作しない緩衝領域が設けられており、

前記出力端子を所望の電圧に駆動する駆動期間の前記第 2 の期間において、前記第 1 の増幅トランジスタを活性とし、前記第 2 の電流源を活性とし、且つ、前記第 2 の増幅トランジスタ及び前記第 1 の電流源をとともに非活性とする制御が行われるときに、前記第 1 の設定駆動電圧が前記所望の電圧と等しくなるように前記入力端子への入力電圧が供給される、ことを特徴とする請求項 1 記載の駆動回路。

**【請求項 2 5】**

前記第 2 の期間において、前記第 2 の増幅トランジスタを活性とし、前記第 1 の電流源を活性とし、且つ、前記第 1 の増幅トランジスタ及び前記第 2 の電流源をとともに非活性とする制御が行われるときに、前記第 2 の設定駆動電圧が前記所望の電圧と等しくなるように前記入力端子への入力電圧が供給される、ことを特

徴とする請求項 2 4 記載の駆動回路。

【請求項 2 6】

表示部の画素に映像信号を供給する複数のデータ線を備え、  
請求項 1 乃至 2 5 のいずれかに記載の駆動回路を、前記データ線を駆動する回路として備えている表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、容量性負荷を所定の駆動期間内に、所望の電圧に駆動する駆動回路に関し、特にアクティブマトリクス駆動方式を用いた表示装置の駆動回路の出力段であるドライバ（バッファ）部等に好適な駆動回路に関する。

【0 0 0 2】

【従来の技術】

近年、情報通信技術の発展に伴い携帯電話や携帯情報端末など表示部を有する携帯機器の需要が高まっている。携帯機器は連続使用時間が十分長いことが重要で、液晶表示装置は低消費電力であることから携帯機器の表示部に広く使われている。また液晶表示装置は、従来バックライトを用いた透過型であったが、外光を利用してバックライトを用いない反射型も開発され、更に低電力化が図られている。さらに近年、液晶表示装置は高精細化とともに鮮明な画像表示が求められるようになり、従来の単純マトリクス方式よりも鮮明表示可能なアクティブマトリクス駆動方式の液晶表示装置の需要が高まっている。液晶表示装置の低消費電力化の要求はその駆動回路にも求められ、低消費電力の駆動回路の開発が盛んに行われている。以下アクティブマトリクス駆動方式の液晶表示装置の駆動回路について説明する。

【0 0 0 3】

一般に、アクティブマトリクス駆動方式を用いた液晶表示装置の表示部は、透明な画素電極及び薄膜トランジスタ（T F T）を配置した半導体基板と、面全体に 1 つの透明な電極を形成した対向基板と、これら 2 枚の基板を対向させて間に液晶を封入した構造からなり、スイッチング機能を持つ T F T を制御することに



より各画素電極に所定の電圧を印加し、各画素電極と対向基板電極との間の電位差により液晶の透過率を変化させ、容量性を有する液晶がその電位差及び透過率を所定の期間保持することにより画像を表示するものである。

#### 【0 0 0 4】

半導体基板上には、各画素電極へ印加する複数のレベル電圧（階調電圧）を送るデータ線と、T F Tのスイッチング制御信号を送る走査線とが配線され、データ線は対向基板電極との間に挟まれる液晶の容量や各走査線との交差部に生じる容量などによる容量性負荷となっている。

#### 【0 0 0 5】

図 1 2 は、従来の典型的なアクティブマトリクス型液晶表示装置の回路構成を簡単に示したものである。表示部は、複数の画素を含むが、図 1 2 では、簡単のため、表示部 8 0 1 には 1 画素の等価回路のみが示されている。図 1 2 を参照すると、1 画素は、ゲート線 8 1 1 と、データ線 8 1 2 と、T F T 8 1 4 と、画素電極 8 1 5 と、液晶容量 8 1 6 と、対向電極 8 1 7 とを備えて構成される。ゲート線 8 1 1 は、ゲート線駆動回路 8 0 2 により駆動され、データ線 8 1 2 は、データ線駆動回路 8 0 3 により駆動される。なおゲート線 8 1 1 及びデータ線 8 1 2 は、通常、1 画素行及び 1 画素列で共有されている。ゲート線 8 1 1 は、1 画素行の複数の T F T のゲート電極をなし、データ線 8 1 2 は 1 画素列の複数の T F T のドレイン（又はソース）に接続され、1 画素の T F T のソース（又はドレイン）は画素電極 8 1 5 に接続されている。

#### 【0 0 0 6】

各画素電極への階調電圧の印加はデータ線を介して行われ、1 フレーム期間（1 / 6 0 秒程度）にデータ線につながる全ての画素へ階調電圧の書込みが行われるため、データ線駆動回路は容量性負荷であるデータ線を高い電圧精度で高速に駆動しなければならない。

#### 【0 0 0 7】

このように、データ線駆動回路は、容量性負荷であるデータ線を高い電圧精度で高速に駆動する必要があり、さらに携帯機器用途については低消費電力であることが求められる。このような要求を満たす従来のデータ線駆動回路として、例

例えば図 13 に示すような駆動回路が提案されている（例えば特許文献 1 参照）。

【0008】

【特許文献 1】

特開 2002-055659 号公報（第 8-10 頁、第 1 図）

【0009】

図 13 を参照すると、この駆動回路は、予備充放電回路 920 と出力回路 910 で構成され、予備充放電回路 920 は放電作用を有する第 1 定電流回路 932 と充電手段 931 とを含む第 1 出力段 930 と、充電作用を有する第 2 定電流回路 942 と放電手段 941 とを含む第 2 出力段 940 を備えている。また充電手段 931 及び放電手段 941 はそれぞれ第 1 差動回路 921、第 2 差動回路 922 の出力が入力されている。図 13 に示した駆動回路は、所望の電圧を駆動する駆動期間において、予備充放電回路 920 により所望の電圧付近まで駆動した後に、出力回路 910 で高精度に駆動する。

【0010】

図 13 に示した駆動回路の特徴は、帰還型増幅回路の予備充放電回路 920 において、高速動作及び低消費電力化を図るため、位相補償容量を設けない構成としたことである。そのために予備充放電回路 920 の差動回路 921、922 及び第 1 出力段 930 及び第 2 出力段 940 それぞれが定電流回路を備え、予備充放電回路 920 のアイドル電流を各定電流回路で制御し、十分小さい電流に設定することにより低消費電力を図っている。また位相補償容量を設けないことで発振がおきやすくなるが、第 1 出力段 930 と第 2 出力段 940 は、どちらか一方が動作するときは他方が非動作となるように制御し、第 1 定電流回路 932 及び第 2 定電流回路 942 の電流を十分小さく設定することにより、発振を小さく抑えて出力安定化を図っている。また図 13 に示した駆動回路は、位相補償容量を設けないことで、十分小さなアイドル電流で高速動作を可能としている。さらに、図 13 に示した駆動回路において、第 1 出力段 930 と第 2 出力段 940 の動作を 1 データ期間にそれぞれ行う場合には、ダイナミックレンジを電源電圧範囲内にまで広げた駆動も可能にしている。ダイナミックレンジを電源電圧範囲内にまで広げることは、電源電圧範囲を小さくすることであるため、低消費

電力に効果的な手段で、他にも様々な駆動回路が提案されている。構成が簡単で省面積な駆動回路として、例えば図 14 に示すような駆動回路が提案されている（例えば特許文献 2 参照）。

#### 【0011】

#### 【特許文献 2】

特開平 9-130171 号公報（第 10 頁、第 5 図）

#### 【0012】

図 14 は、増幅回路 620 及び増幅回路 630 を組み合わせて構成した演算増幅器である。なお、上記特許文献 2 では、増幅回路 620 及び増幅回路 630 は、第 1、第 2 の入力端子の差動入力電圧を差動増幅する構成とされているが、図 14 では、後述する本発明との比較のため、入力電圧  $V_{in}$  を電流増幅して出力端子 2 に出力する非反転増幅型のボルテージフォロウ構成として示してある。

#### 【0013】

増幅回路 620 は、差動部が電流源をなすトランジスタ 625 によって駆動される n チャネル差動対 623、624 の出力対に p チャネルカレントミラー回路 621、622 が負荷回路として接続された構成で、出力段が高電位電源  $V_{DD}$  と出力端子 2 との間に接続された p チャネルトランジスタ 641 と低電位電源  $V_{SS}$  と出力端子 2 との間に接続された負荷 642 から構成されている。そして、差動部の出力端をなすトランジスタ 621 のドレインとトランジスタ 623 のドレインの接続ノードと、p チャネルトランジスタ 101 のゲート端子とが接続される。n チャネル差動対 623、624 のそれぞれのゲート端子は、非反転入力端及び反転入力端をなし、n チャネル差動対 623、624 のそれぞれのゲート端子は、入力端子 1 及び出力端子 2 に接続されている。またトランジスタ 625 と負荷 642 はバイアス電圧  $V_{F1}$  が入力されている。

#### 【0014】

一方、増幅回路 630 は、差動部が電流源をなすトランジスタ 635 によって駆動される p チャネル差動対 633、634 の出力対に n チャネルカレントミラー回路 631、632 が負荷回路として接続された構成よりなり、出力段が低電位電源  $V_{SS}$  と出力端子 2 との間に接続された n チャネルトランジスタ 651 と

高電位電源VDDと出力端子2との間に接続された負荷652から構成されている。そして、差動部の出力端をなすトランジスタ631のドレインと、トランジスタ633のドレインの接続ノードと、nチャネルトランジスタ651のゲート端子とが接続される。pチャネル差動対633、634のそれぞれのゲート端子は、非反転入力端及び反転入力端をなし、pチャネル差動対633、634のそれぞれのゲート端子は、入力端子1及び出力端子2に接続されている。またトランジスタ635と負荷652はバイアス電圧VF2が入力されている。

#### 【0015】

図14の演算増幅器は、負荷642、652を所定の抵抗値をもつ負荷として作用させることにより、ダイナミックレンジを電源電圧範囲内にまで広げるようにしたものである。具体的には、入力電圧Vinがnチャネル差動対623、624が動作しない低電位電源VSS付近の場合に、負荷652が高電位電源VDDと出力端子2との間に電流経路を形成することにより、増幅回路630の動作によって出力端子を電圧Vinに駆動する。また入力電圧Vinがpチャネル差動対633、634が動作しない高電位電源VDD付近の場合に、負荷642が低電位電源VSSと出力端子2との間に電流経路を形成することにより、増幅回路620の動作によって出力端子を電圧Vinに駆動する。また、入力電圧Vinがnチャネル差動対623、624およびpチャネル差動対633、634が共に動作する電圧範囲では、増幅回路620、630が共に動作して出力端子を電圧Vinに駆動する。図14は、以上のような原理で動作範囲を電源電圧範囲内に広げた演算増幅器である。

#### 【0016】

また、本発明に関連する技術として、図15に示すような電源回路として用いる差動増幅器が知られている（例えば特許文献3参照）。

#### 【0017】

#### 【特許文献3】

特開2001-284988号公報（第7頁、第2図）

#### 【0018】

図15に示した差動増幅装置は、図14と同様のボルテージフォロワ回路であ

り、増幅回路 720 及び増幅回路 730 を組み合わせて構成した差動増幅器である。

#### 【0019】

増幅回路 720 は、差動部が定電流源 725 によって駆動される n チャネル差動対トランジスタ 723、724 の出力対に、p チャネルカレントミラー回路 721、722 が負荷回路として接続された構成で、出力段が高電位電源 VDD と出力端子 2 との間に接続された p チャネルトランジスタ 711 から構成されている。そして、差動部の出力端をなすトランジスタ 721 のドレインとトランジスタ 723 のドレインの接続ノードと、p チャネルトランジスタ 711 のゲート端子とが接続される。n チャネル差動対 723、724 のそれぞれのゲート端子は、非反転入力端及び反転入力端をなし、トランジスタ 723 のゲート端子は入力端子 1 に接続され、トランジスタ 724 のゲート端子は抵抗 R1 を介して出力端子 2 に接続されている。またトランジスタ 724、711 のそれぞれのゲート端子の間に容量 C1 が接続されている。

#### 【0020】

一方、増幅回路 730 は、差動部が定電流源 735 によって駆動される p チャネル差動対 733、734 の出力対に n チャネルカレントミラー回路 731、732 が負荷回路として接続された構成よりなり、出力段が低電位電源 VSS と出力端子 2 との間に接続された n チャネルトランジスタ 712 から構成されている。そして、差動部の出力端をなすトランジスタ 731 のドレインと、トランジスタ 733 のドレインの接続ノードと、n チャネルトランジスタ 712 のゲート端子とが接続される。p チャネル差動対 733、734 のそれぞれのゲート端子は、非反転入力端及び反転入力端をなし、トランジスタ 733 のゲート端子は入力端子 1 に接続され、トランジスタ 734 のゲート端子は、抵抗 R2 を介して出力端子 2 に接続されている。またトランジスタ 734、712 のそれぞれのゲート端子の間に容量 C2 が接続されている。なお、増幅回路 720、730 の容量 C1、C2 および抵抗 R1、R2 は位相補償を行うために設けられ、増幅回路 720、730 の出力安定化を図っている。

#### 【0021】

図 15 に示した差動増幅器の特徴は、差動対をなすトランジスタ対 723、724 間、または差動対をなすトランジスタ対 733、734 間で異なる能力に設計し入力電圧  $V_{in}$  に対して増幅回路 720 または 730 が出力オフセットを持たせるようにしたことである。そして、設定した出力オフセットの範囲内で電圧  $V_{in}$  を出力する電源回路として利用している。具体的には、差動対をなすトランジスタ間の素子サイズ（チャネル幅、あるいはゲート長）を変えることで差動対をなすトランジスタのそれぞれのドレイン電流が異なり、ゲート・ソース間電圧が異なることで出力オフセットを発生させている。共通入力電圧  $V_{IN}$  を増幅回路（差動増幅回路）720 と 730 に入力し、増幅回路（差動増幅回路）720、730 を構成するトランジスタ対に能力差をつけ、増幅回路（差動増幅回路）720 では、第 1 の出力電圧  $V_{OUT1}$  を出力電圧  $V_{OUT}$  とするように動作し、増幅回路（差動増幅回路）730 では、第 2 の出力電圧  $V_{OUT2}$  を出力電圧  $V_{OUT}$  とするように動作する。すなわち、増幅回路 720 の出力オフセットが電圧  $V_{in}$  に対して正となるように設定し、増幅回路 730 の出力オフセットが電圧  $V_{in}$  に対して負となるように設定した場合トランジスタ 711、712 に流れる貫通電流が減り、低消費電力の電源回路を構成することが可能である。

#### 【0022】

##### 【発明が解決しようとする課題】

しかしながら、図 13 に示した駆動回路は、第 1 出力段 930 と第 2 出力段 940 は、どちらか一方が動作するときは他方が非動作となるように制御するため、所望の電圧に駆動するためには、予備充放電期間を 2 段階に分けて、第 1 出力段 930 を動作させる予備充電期間と、第 2 出力段 940 を動作させる予備放電期間を設けなければならない。このため、充電動作と放電動作とで、所望の電圧付近まで駆動される時間が異なる。その一例を示すものとして、図 16 を参照する。

#### 【0023】

図 16 は、図 13 の駆動回路の出力電圧波形図において、 $V_{in2}$  から  $V_{in1}$  に駆動したときの波形（電圧波形 1）と、 $V_{in1}$  から  $V_{in2}$  に駆動したときの波形（電圧波形 2）を示している。

## 【0024】

図16より、電圧波形1は、駆動期間開始直後の第1出力段930を動作させる予備充電期間開始とともに、速やかにターゲット電圧 ( $V_{in1}$ ) 付近に駆動されるが、電圧波形2は、予備充電期間で電圧変動はせず、第2出力段940を動作させる予備放電期間開始とともに、ターゲット電圧 ( $V_{in2}$ ) 付近に駆動される。すなわち、図16に示す例では、電圧波形2は電圧波形1に比べて、予備充電期間だけ、ターゲット電圧付近に駆動される時間が遅れる。

## 【0025】

近年、携帯機器の液晶表示装置は、解像度や画面サイズも増加の傾向にあり、それによってデータ線容量の増加や1データ駆動期間も短くなってきている。また、表示部のTFTがアモルファスシリコンTFTの場合、TFTの電荷移動度が低いため、TFTがオン状態となってデータ線に駆動された電圧が画素電極に書き込まれるまでに、ある程度の時間を要する。したがって、鮮明な表示を行うためには、1データ駆動期間内に画素電極をターゲット電圧に駆動する、ことが必要とされる。このため、データ線を、1データ駆動期間の開始後、できるだけ速やかに、ターゲット電圧付近まで駆動しておくことが必要とされる。

## 【0026】

以上より、液晶表示装置の画面サイズの増加や高解像度化に対して、図13に示すように、2段階で予備充放電駆動を行う駆動回路では、予備充電期間及び予備放電期間もそれぞれ長くする必要があり、データ線をターゲット電圧付近に駆動するまでに、時間を要する場合があります、画素電極への書き込みが十分できない、という課題がある。

## 【0027】

一方、図14に示す演算増幅器を携帯機器用液晶表示装置の駆動回路に用いた場合には、回路構成が簡素でダイナミックレンジも電源電圧範囲と等しく、比較的省面積で低消費電力である。しかし、入力電圧  $V_{in}$  が  $n$  チャネル差動対623、624および  $p$  チャネル差動対633、634が共に動作する電圧範囲では、増幅回路620の高い充電能力と、増幅回路630の高い放電能力が共に動作可能であるため、位相補償手段を設けないと容易に発振してしまう、という課題

がある。実際の回路では、例えば図 1 4 に示したような、帰還構成の場合、回路を構成する素子の寄生容量などにより、出力電圧の変化が入力に伝わるまでの応答遅延があり、オーバーシュートやアンダーシュートが発生して、特に高駆動能力の増幅回路や帰還型増幅回路では、十分大きな容量値の位相補償容量が設けられていない場合、容易に発振する。また一般的な演算増幅回路では、 $n$  チャンネル差動対 6 2 3、6 2 4 および  $p$  チャンネル差動対 6 3 3、6 3 4 はそれぞれ差動対をなすトランジスタ同士が同じ特性の素子で構成されている。

#### 【0 0 2 8】

実際の回路では、差動対をなすトランジスタ同士の特性がわずかにずれることもあり、それによって発振が生じる場合もあり、通常位相補償容量を設けている。しかしながら、位相補償容量を設けた場合には、速やかな駆動を行うためには位相補償容量の充放電を速やかに行うための十分なアイドル電流を必要とする。したがって位相補償容量を設けた場合には、消費電力が増加する、という課題が生じる。

#### 【0 0 2 9】

また、図 1 5 に示した差動増幅器を携帯機器用液晶表示装置の駆動回路に用いた場合について考察する。図 1 5 に示した差動増幅回路は、差動対 7 2 3、7 2 4 および差動対 7 3 3、7 3 4 が共に動作可能な範囲でしか動作しないため、電源電圧範囲に対してダイナミックレンジが狭く、一定の範囲のダイナミックレンジを確保する場合には消費電力が高くなる、という課題がある。

#### 【0 0 3 0】

これに対して、図 1 4 に示した負荷 6 4 2 と負荷 6 5 2 のような所定の抵抗値をもつ負荷を備えることにより、図 1 5 に示した差動増幅回路のダイナミックレンジを、電源電圧範囲内に広げることができるが、しかしながら、その場合、正確な駆動ができない、という課題が残る。これは、図 1 5 に示した差動増幅回路が、入力電圧  $V_{in}$  に対して増幅回路 7 2 0 または増幅回路 7 3 0 のどちらか一方は必ず出力オフセットを生じる構成であることが原因である。具体的には、図 1 5 に示した差動増幅回路において、入力電圧  $V_{in}$  が  $n$  チャンネル差動対 7 2 3、7 2 4 が動作しない低電位電源  $V_{SS}$  付近の場合や、入力電圧  $V_{in}$  が  $p$  チ



ネル差動対 7 3 3、7 3 4 が動作しない高電位電源 V D D 付近の場合に、増幅回路 7 2 0 または増幅回路 7 3 0 の単独動作によって出力端子 2 を電圧 V i n に駆動しなければならない。このように、図 1 5 に示した差動増幅回路は、出力オフセットを生じる増幅回路が単独で駆動する領域では、正確（高精度）な駆動を行うことができない、という課題がある。

#### 【 0 0 3 1 】

したがって、本発明は上記課題に鑑みてなされたものであって、その目的は、容量性負荷を速やかに所望の電圧に駆動するとともに、広ダイナミックレンジを持ち、低消費電力で高精度出力、さらには省面積を実現する駆動回路を提供することにある。

#### 【 0 0 3 2 】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明の 1 つのアスペクトに係る駆動回路は、出力端子と高電位電源との間に並列に配置され、前記出力端子の充電作用を行う第 1 の増幅トランジスタ及び第 1 の電流源と、前記出力端子と低電位電源との間に並列に配置され、前記出力端子の放電作用を行う第 2 の増幅トランジスタ及び第 2 の電流源と、を備え、前記出力端子を所望の電圧に駆動する駆動期間が少なくとも第 1 の期間と第 2 の期間とから構成されており、前記第 1 の期間において、前記第 1 の増幅トランジスタ及び前記第 2 の増幅トランジスタを共に活性とし、

前記第 2 の期間において、前記第 1 の増幅トランジスタ及び前記第 2 の増幅トランジスタのうち一方の増幅トランジスタを活性とし、他方の増幅トランジスタを非活性とする、ように制御する切替制御手段を備えている。かかる構成により、本発明によれば、位相補償容量を設けない構成でも低消費電力で速やかに出力端子を所望の電圧に駆動することができる。また、電源電圧範囲に等しいダイナミックレンジも実現可能である。

#### 【 0 0 3 3 】

また本発明においては、前記第 1 の期間において、前記第 1 の増幅トランジスタにより充電駆動される第 1 の設定駆動電圧が、前記第 2 の増幅トランジスタにより放電駆動される第 2 の設定駆動電圧よりも低電位とされる。かかる構成によ

り、本発明によれば、前記第 1 の増幅トランジスタおよび前記第 2 の増幅トランジスタが共に動作しない緩衝領域が所望の電圧近傍に設けられ、これが出力端子を所望の電圧に駆動するときのオーバーシュートやアンダーシュートを抑制し、位相補償容量の代用を果たしている。

#### 【0 0 3 4】

また本発明では、前記第 2 の期間において、非活性とする増幅トランジスタと並列に接続された電流源を活性とする。

#### 【0 0 3 5】

さらに本発明においては、前記第 1 の増幅トランジスタにより充電駆動される第 1 の設定駆動電圧が、前記第 2 の増幅トランジスタにより放電駆動される第 2 の設定駆動電圧よりも低電位とするための構成として、非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 1 の差動対を含み、前記第 1 の差動対の出力を前記第 1 の増幅トランジスタの制御端に入力する第 1 の差動回路と、非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 2 の差動対を含み、前記第 2 の差動対の出力を前記第 2 の増幅トランジスタの制御端に入力する第 2 の差動回路と、を備え、前記第 1 の差動対及び前記第 2 の差動対のうち少なくとも一方が、閾値電圧の異なるトランジスタ対で構成してもよい。

#### 【0 0 3 6】

さらに、本発明においては、前記第 1 の増幅トランジスタにより充電駆動される第 1 の設定駆動電圧が、前記第 2 の増幅トランジスタにより放電駆動される第 2 の設定駆動電圧よりも低電位とするための構成として、非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 1 の差動対を含み、前記第 1 の差動対の出力を前記第 1 の増幅トランジスタの制御端に入力する第 1 の差動回路と、非反転入力端子と反転入力端子からの入力信号電圧を差動入力する第 2 の差動対を含み、前記第 2 の差動対の出力を前記第 2 の増幅トランジスタの制御端に入力する第 2 の差動回路と、を備え、前記第 1 及び第 2 の差動対のうちの少なくとも一の差動対は、差動対トランジスタの一方が、並列に接続され制御端も共通接続された閾値電圧、または、電流駆動能力の異なる複数のトランジスタで構成され、複数のトランジスタの少なくとも一つを活性とする制御手段を備えた構成と

してもよい。

#### 【0037】

##### 【発明の実施の形態】

本発明の駆動回路の原理・作用について以下に説明する。なお、以下では、液晶表示装置のデータ線などの容量性負荷を所定の期間内に所望の電圧に駆動する駆動回路に本発明を適用した実施の形態について図面を参照して説明する。

#### 【0038】

本発明は、低消費電力及び高速動作を可能にするため、位相補償容量をもたない、もしくは十分小さな位相補償容量だけを備えた駆動回路であり、本実施の形態では、発振を抑え高速動作を実現するための構成及び制御と、それによる作用と効果について説明する。

#### 【0039】

図1は、本発明に係る駆動回路の第1の実施の形態の構成を示す図である。図1に示す駆動回路において、回路10は、本発明に係る基本構成を表している。回路10は、出力端子2の充電駆動を行うpチャネルトランジスタ101及びスイッチ151が、出力端子2と高電位電源VDD間に直列形態に接続されており、トランジスタ101とスイッチ151の直列回路とは並列に、定電流源103及びスイッチ153が、出力端子2と高電位電源VDD間に直列形態に接続されている。出力端子2の放電駆動を行うnチャネルトランジスタ102及びスイッチ152が出力端子2と低電位電源VSS間に直列形態に接続されており、トランジスタ102とスイッチ152の直列回路とは並列に、定電流源104及びスイッチ154が出力端子2と低電位電源VSS間に直列形態に接続されている。

#### 【0040】

図1に示す回路構成においては、pチャネルトランジスタ101及びnチャネルトランジスタ102の動作制御を行う回路として、第1差動回路20及び第2差動回路30が設けられている。

#### 【0041】

第1差動回路20は、入力端子1に印加される入力電圧 $V_{in}$ と、出力端子2の出力電圧 $V_{out}$ とを差動入力とし、第1差動回路20の出力は、pチャネル

トランジスタ 101 の制御端（ゲート端子）に入力される。

#### 【0042】

第2差動回路30は、入力電圧  $V_{in}$  と出力電圧  $V_{out}$  とを差動入力とし、第2差動回路30の出力はnチャネルトランジスタ102の制御端に入力される。すなわち、第1差動回路20とpチャネルトランジスタ101とが、出力端子3の充電動作を行う帰還型増幅回路をなし、第2差動回路30とnチャネルトランジスタ102とが出力端子2の放電動作を行う帰還型増幅回路をなしている。

#### 【0043】

出力端子2には、出力電圧  $V_{out}$  として、入力電圧  $V_{in}$  に応じた電圧が出力される。

#### 【0044】

スイッチ151、152、153、154は、それぞれの一端に接続するpチャネルトランジスタ101、nチャネルトランジスタ102、定電流源103、104の活性と非活性を制御し、対応するスイッチがオンのときに、活性（動作可能）、オフのときに非活性（動作停止）となる。

#### 【0045】

なお、pチャネルトランジスタ101、nチャネルトランジスタ102、定電流源103、104のそれぞれの活性、非活性の制御方法は、上記直列形態に挿入したスイッチ以外の構成でも可能である。

#### 【0046】

出力端子2を所望の電圧に駆動する1データ駆動期間において、pチャネルトランジスタ101及びnチャネルトランジスタ102を共に活性とする第1の期間と、pチャネルトランジスタ101またはnチャネルトランジスタ102の一方を活性とし、他方を非活性とする第2の期間とを設ける。

#### 【0047】

また第2の期間において、非活性としたトランジスタと並列に接続された定電流源を活性とする。

#### 【0048】

これにより、第1の期間開始とともに、pチャネルトランジスタ101または

nチャネルトランジスタ102が動作し、出力端子が入力電圧 $V_{in}$ に応じた電圧に速やかに駆動される。そして、入力電圧 $V_{in}$ を所望の電圧に応じて設定すれば、第2の期間で、所望の電圧に高精度に駆動することが可能となる。

#### 【0049】

より具体的には、回路10は、図2に一覧で示すように制御される。図2は、図1のpチャネルトランジスタ101、定電流源103、nチャネルトランジスタ102、定電流源104のそれぞれについて、データ駆動期間における、活性、非活性の制御を表形式で示している。

#### 【0050】

所望の電圧を駆動する1データ駆動期間における制御は、2種類あり、第1データ駆動期間と第2データ駆動期間で示す。それぞれのデータ駆動期間とも、第1の期間では、pチャネルトランジスタ101及びnチャネルトランジスタ102を共に活性とし、出力端子2を入力電圧 $V_{in}$ に応じた電圧まで速やかに駆動する。

#### 【0051】

このとき、定電流源103、104は、電流を十分小さく設定すれば、駆動能力は小さいことから、活性でも非活性であってもよいが、消費電力を抑えるためには、非活性に制御することが望ましい。

#### 【0052】

一方、それぞれのデータ駆動期間の第2の期間の制御は異なる。第1データ駆動期間の第2の期間では、pチャネルトランジスタ101と定電流源104を活性とし、nチャネルトランジスタ102と定電流源103を非活性とする。

#### 【0053】

また第2データ駆動期間の第2の期間では、pチャネルトランジスタ101と定電流源104を非活性とし、nチャネルトランジスタ102と定電流源103を活性とする。すなわち、第2の期間では、充電駆動または放電駆動のいずれかを行う増幅トランジスタと、その逆の駆動を行う定電流源が活性とされる。そして、定電流源を十分小さい電流に設定することにより、低消費電力化とともに出力安定化も図ることができる。また、回路10は、所望の電圧に応じて第1デー

タ駆動期間または第2データ駆動期間のいずれか最適な制御を選択することにより、電源電圧範囲内の全領域で動作させることが可能である。したがって、本発明の駆動回路は、電源電圧範囲に等しいダイナミックレンジをもつことができる。

#### 【0054】

なお、第2の期間における出力安定化の作用は、充電と放電の一方の能力を十分小さくすると、能力を下げたほうの動作が遅くなるため発振が抑えられる原理を利用している。

#### 【0055】

なお、本発明では、1データ駆動期間の第1の期間で、pチャネルトランジスタ101及びnチャネルトランジスタ102を同時に動作可能としている。

#### 【0056】

前記特許文献1に記載された構成では、図13の充電手段931と、放電手段941を同時に動作可能とすると、大きく発振してしまう可能性がある。このため、図16のように、予備充放電期間を、2段階に分けて、充電手段931と放電手段941の動作を同時に行わないようにしている。

#### 【0057】

これに対して、本発明では、入力電圧 $V_{in}$ に対してpチャネルトランジスタ101により充電駆動される第1の設定駆動電圧 $V_1$ が、入力電圧 $V_{in}$ に対してnチャネルトランジスタ102により放電駆動される第2の設定駆動電圧 $V_2$ よりも低電位となるように制御する。これにより、第1の増幅トランジスタ101および第2の増幅トランジスタ102が共に動作しない緩衝領域が所望の電圧近傍に設けられ、これが出力端子2を所望の電圧に駆動するときのオーバーシュートやアンダーシュートを抑制し、位相補償容量の代用を果たす。したがって第1の期間で、pチャネルトランジスタ101及びnチャネルトランジスタ102を同時に動作可能としても、発振を防ぐことができる。

#### 【0058】

本発明における上記制御の作用効果について、図3に示した電圧波形図を参照して説明する。図3は、図2の第1データ駆動期間における制御により、低電位

の出力端子を高電位の所望の電圧（ターゲット電圧）に駆動したときの出力電圧波形を示す図である。図3（A）は、本発明と比較するための比較例であり、pチャネルトランジスタ101及びnチャネルトランジスタ102のそれぞれの設定駆動電圧が所望の電圧に等しい場合の例である。図3（B）は、図1及び図2を参照して説明した第1の実施の形態の出力電圧波形であり、pチャネルトランジスタ101の設定駆動電圧V1が、nチャネルトランジスタ102の設定駆動電圧V2よりも低電位である例を示している。

#### 【0059】

はじめに図3（A）における作用を説明する。図3（A）に示す例では、pチャネルトランジスタ101は、低電位の出力端子を所望の電圧まで充電動作が可能であり、nチャネルトランジスタ102は高電位の出力端子を所望の電圧まで充電動作が可能である。図3（A）に示す例では、第1の期間の開始時に、出力端子電圧は低電位状態にあるため、まずpチャネルトランジスタ101により、所望の電圧まで充電される。しかしながら、実際の回路では、例えば図1に示したような、帰還構成の場合、回路を構成する素子の寄生容量などにより、出力電圧の変化が入力に伝わるまでの応答遅延があり、オーバーシュートが生じることが多い。オーバーシュートが生じると、今度は、nチャネルトランジスタ102が動作し、オーバーシュートした出力電圧を、所望の電圧まで引き下げる。ここでも、やはり、応答遅延があるためアンダーシュートを生じる。

#### 【0060】

このようなオーバーシュートやアンダーシュートは、pチャネルトランジスタ101の充電能力や、nチャネルトランジスタ102の放電能力が高いほど大きく、高駆動能力の増幅回路や帰還型増幅回路では、十分大きな容量値の位相補償容量が設けられていない場合、容易に、発振する。

#### 【0061】

したがって、図3（A）では、第1の期間で、出力電圧が所望の電圧を中心として、大きな振動を生じる。そして、図3（A）には、出力電圧が高電位側に大きく変化したときに、第1の期間から第2の期間に切り替わる例が示されている。

。

## 【0062】

第2の期間では、pチャネルトランジスタ101と定電流源104が活性（動作可能）で、nチャネルトランジスタ102と定電流源104は非活性とされている。

## 【0063】

第2の期間では、出力電圧が所望の電圧よりも高い場合、pチャネルトランジスタ101は動作せず、定電流源104により、出力電圧が所望の電圧まで引き下げられる。このとき、定電流源104の電流が十分小さいと、出力電圧が所望の電圧に到達するまでに時間がかかり、高速駆動を実現することはできない。

## 【0064】

すなわち第1の期間でpチャネルトランジスタ101及びnチャネルトランジスタ102の設定駆動電圧が等しいと、出力電圧が大きな振動を生じ、第2の期間で出力電圧を所望の電圧まで変化させるのに時間がかかる場合があり、その結果、高速駆動は困難となる。

## 【0065】

一方、図3（B）に示す例では、pチャネルトランジスタ101の設定駆動電圧V1がnチャネルトランジスタ102の設定駆動電圧V2よりも低電位に制御されている。すなわち、pチャネルトランジスタ101は、低電位の出力端子を電圧V1まで充電動作が可能とされ、nチャネルトランジスタ102は、高電位の出力端子を電圧V2（ $V1 < V2$ ）まで放電動作が可能とされる。したがって電圧V1とV2の間は、pチャネルトランジスタ101、及びnチャネルトランジスタ102がともに動作しない緩衝領域となる。なお、図3（B）では、電圧V1が、所望の電圧（ターゲット電圧）と一致するように設定された例が示されている。なお、電圧V1のかわりに、電圧V2が所望の電圧と一致するように設定してもよいことは勿論である。

## 【0066】

図3（B）に示す例において、第1の期間の開始時に、出力端子は低電位状態にあるため、まず、pチャネルトランジスタ101により、所望の電圧（ $=V1$ ）まで、充電される。図1に示すような帰還構成の場合、応答遅延によって出力



電圧のオーバーシュートが生じる。オーバーシュートが生じると、今度は、 $n$ チャネルトランジスタ 102 が動作し、オーバーシュートした出力電圧を電圧  $V_2$  まで引き下げる。

#### 【0067】

ここでも、やはり、応答遅延があるため、出力電圧にアンダーシュートを生じるが、電圧  $V_1$  と  $V_2$  の間の緩衝領域では、アンダーシュートは弱まる。

#### 【0068】

さらに、出力電圧  $V_{out}$  が電圧  $V_1$  より低い電圧までアンダーシュートすると、再び、 $p$ チャネルトランジスタ 101 による充電動作が始まるが、電圧  $V_1$  と  $V_2$  の緩衝領域で、オーバーシュートは弱まる。そして、出力電圧は、最終的には、電圧  $V_1$  と  $V_2$  の間の緩衝領域内で安定する。

#### 【0069】

そのため、第2の期間では、電圧  $V_1$  と  $V_2$  の間の出力電圧を、定電流源 104 の放電作用により駆動する。

#### 【0070】

電圧  $V_1$  と  $V_2$  の間の緩衝領域を、比較的小さく設定することで、定電流源 104 の電流が十分小さくても、出力電圧を速やかに所望の電圧まで引き下げることができる。

#### 【0071】

このようにして、図3 (B) に示す例では、図3 (A) に示す例よりも、高速駆動が可能である。

#### 【0072】

上記のとおり、本発明においては、 $p$ チャネルトランジスタ 101 の設定駆動電圧  $V_1$  を  $n$ チャネルトランジスタ 102 の設定駆動電圧  $V_2$  よりも低電位とし、電圧  $V_1$  と  $V_2$  の間の緩衝領域を、発振を速やかに抑制できる最小限の電位差に設定することで、第1の期間において  $p$ チャネルトランジスタ 101 及び  $n$ チャネルトランジスタ 102 を同時に動作可能としても、発振を生じることなく、出力端子を入力電圧  $V_{in}$  に応じた電圧まで、速やかに駆動することができる。

#### 【0073】

そして、入力電圧  $V_{in}$  を、所望の電圧に応じて制御することで、第 2 の期間において、出力電圧を、高精度に、所望の電圧に変化させることができる。

#### 【0074】

すなわち、本発明においては、緩衝領域を設けたことにより発振抑制できるため、図 1 のような帰還型増幅回路の構成においても、位相補償容量を十分小さく抑え、または位相補償容量を設けない構成とすることも可能である。そのため、位相補償容量を高速充放電するための電流を縮減することができ、定電流源 1 0 3、1 0 4 を含めたアイドリング電流を十分小さく設定したとしても、高速動作が可能であり、且つ、低消費電力化を実現できる。

#### 【0075】

また薄膜トランジスタ集積回路では、比較的面積の大きい位相補償容量が、本発明では、容量値を小さくできるため、省面積化も実現することができる。

#### 【0076】

##### 【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

#### 【0077】

##### 〔第 1 実施例〕

図 4 は、本発明の第 1 の実施例の駆動回路の構成を示す図であり、図 1 の駆動回路における第 1 の差動回路 2 0 及び第 2 の差動回路 3 0 の具体例を示す図である。以下、第 1、第 2 の差動回路 2 0 及び 3 0 の構成について説明する。第 1 の差動回路 2 0 は、定電流源 2 0 9 によって駆動される  $n$  チャネル差動対トランジスタ 2 0 3、2 0 4 と、差動対トランジスタの出力対に接続され、差動対の負荷回路をなす  $p$  チャネルトランジスタ 2 0 1、2 0 2 よりなるカレントミラー回路を備えている。より具体的には、定電流源 2 0 9 は、一端が低電位電源  $V_{SS}$  に接続され、他端が差動対をなす  $n$  チャネルトランジスタ 2 0 3、2 0 4 の共通ソースと接続される。カレントミラー回路は、 $p$  チャネルトランジスタ 2 0 1、2 0 2 よりなり、それぞれのソースが高電位電源  $V_{DD}$  と接続され、 $p$  チャネルトランジスタ 2 0 2 はダイオード接続され、そのドレイン（ゲート）は、 $n$  チャネ

ルトランジスタ 204 のドレインと接続される。p チャンネルトランジスタ 201 は、ゲートが p チャンネルトランジスタ 202 のゲートと共通接続され、そのドレインは n チャンネルトランジスタ 203 のドレインと接続される。そしてトランジスタ 201、203 の接続ノードが差動回路 20 の出力端をなし、p チャンネルトランジスタ 101 のゲートと接続されている。n チャンネル差動対トランジスタ 203、204 のそれぞれのゲート端子（制御端子）は、差動回路の非反転入力端及び反転入力端を構成しており、n チャンネル差動対トランジスタ 203、204 のゲートには、入力端子 1 及び出力端子 2 がそれぞれ接続される。

#### 【0078】

一方、第 2 の差動回路 30 において、定電流源 309 によって駆動される p チャンネル差動対トランジスタ 303、304 の出力対に、n チャンネルトランジスタ 301、302 からなるカレントミラー回路 301、302 が負荷回路として接続されている。より具体的には、定電流源 309 は、一端が高電位電源 VDD に接続され、他端が差動対をなす p チャンネルトランジスタ 303、304 の共通ソースと接続される。差動対の能動負荷をなすカレントミラー回路は、n チャンネルトランジスタ 301、302 よりなり、それぞれのソースが低電位電源 VSS と接続される。n チャンネルトランジスタ 302 はダイオード接続され、そのドレイン（ゲート）は、p チャンネルトランジスタ 304 のドレインと接続される。一方、n チャンネルトランジスタ 301 は、ゲートが n チャンネルトランジスタ 302 のゲートと共通接続され、そのドレインは p チャンネルトランジスタ 303 のドレインと接続される。そして、トランジスタ 301、303 の接続ノードが差動回路 30 の出力端をなし、n チャンネルトランジスタ 102 のゲートと接続されている。

#### 【0079】

p チャンネル差動対トランジスタ 303、304 のゲートは、それぞれ、非反転入力端及び反転入力端をなし、p チャンネル差動対トランジスタ 303、304 のゲートは、それぞれ入力端子 1 及び出力端子 2 が接続される。

#### 【0080】

本実施例では、p チャンネルトランジスタ 101 の設定駆動電圧 V1 が n チャネ

ルトランジスタ 102 の設定駆動電圧  $V_2$  よりも低電位に制御される構成として、 $n$  チャネル差動対 203、204、及び  $p$  チャネル差動対 303、304 のいずれか一方が、閾値電圧の異なるトランジスタで対をなすように設定している。

#### 【0081】

その具体例を図 5 に、表形式で示す。図 5 は、 $n$  チャネル差動対 203、204、及び、 $p$  チャネル差動対 303、304 の閾値電圧  $V_{th}$  と、安定状態におけるドレイン・ソース間電流  $I_{ds}$  の関係について 4 種類の設定を一覧で示したものである。なお、 $V_{th}$  及び  $I_{ds}$  の後につく番号は、図 4 のトランジスタの参照番号を表している。

#### 【0082】

図 5 を参照すると、①の例では、 $n$  チャネル差動対 203、204 は、それぞれの閾値電圧  $V_{th203}$ 、 $V_{th204}$ 、ドレイン・ソース間電流  $I_{ds203}$ 、 $I_{ds204}$  について、

$$V_{th203} > V_{th204}、$$

$$I_{ds203} = I_{ds204}$$

に設定され、 $p$  チャネル差動対 303、304 は、それぞれの閾値電圧  $V_{th303}$ 、 $V_{th304}$ 、ドレイン・ソース間電流  $I_{ds303}$ 、 $I_{ds304}$  について、

$$V_{th303} = V_{th304}、$$

$$I_{ds303} = I_{ds304}$$

と設定されている。

#### 【0083】

なお、入力端子 1 への入力電圧を  $V_{in}$ 、そのときに  $p$  チャネルトランジスタ 101 により、出力端子 2 に充電駆動される駆動設定電圧を  $V_1$ 、 $n$  チャネルトランジスタ 102 により出力端子 2 に放電駆動される駆動設定電圧を  $V_2$  とする。

#### 【0084】

また、 $n$  チャネル差動対 203、204 のそれぞれのトランジスタ特性を図 6 に示す。図 6 は、図 4 のトランジスタ 203、204 のゲート・ソース間電圧  $V$

$g_s$  に対するドレイン・ソース間電流  $I_{ds}$  のそれぞれの特性 ( $V-I$  特性) を示している。

【0085】

トランジスタ 203 の特性は、トランジスタ 204 の特性から、閾値電圧の差分 ( $V_{th203} - V_{th204}$ ) だけずれている。なお、 $V_{gs}$  は、ソースに対する制御端 (ゲート端子) の電位とし、 $I_{ds}$  は、ドレインからソースに流れる電流である。

【0086】

図 6 を参照すると、①の場合、 $n$  チャネル差動対 203、204 のゲート・ソース間電圧  $V_{gs203}$  及び  $V_{gs204}$  は、

$$V_{gs203} > V_{gs204}$$

であり、その差分

$$(V_{gs203} - V_{gs204})$$

は、閾値電圧の差分

$$(V_{th203} - V_{th204})$$

とほぼ等しい。

【0087】

入力電圧  $V_{in}$  と第 1 の駆動設定電圧  $V_1$  の関係は、ゲート・ソース間電圧  $V_{gs203}$  と  $V_{gs204}$  の関係と同じであることから、

$$V_{in} > V_1$$

であり、その差分

$$(V_{in} - V_1)$$

も、閾値電圧の差分

$$(V_{th203} - V_{th204})$$

とほぼ等しい。

【0088】

したがって、第 1 の駆動設定電圧  $V_1$  は、 $n$  チャネル差動対 203、204 の閾値電圧、及び、ドレイン・ソース間電流の制御によって調整が可能である。

【0089】

一方、pチャネル差動対303、304のゲート・ソース間電圧 $V_{gs303}$ 及び $V_{gs304}$ は、

$$V_{gs303} = V_{gs304}$$

で、

$$V_2 = V_{in}$$

となる。

#### 【0090】

第2の駆動設定電圧 $V_2$ も、第1の駆動設定電圧 $V_1$ と同様に、閾値電圧及びドレイン・ソース間電流の制御によって調整が可能であることは勿論である。

#### 【0091】

したがって、図5の①のように設定することにより、pチャネルトランジスタ101、nチャネルトランジスタ102ともに動作しない緩衝領域を、 $V_1$ と $V_2 (= V_{in})$ の間に設けることができる。なお、 $I_{ds203}$ 、 $I_{ds204}$ 及び $I_{ds303}$ 、 $I_{ds304}$ の制御は、それぞれカレントミラー回路201、202及びカレントミラー回路301、302のトランジスタペア間の閾値電圧やサイズを最適に設定することにより、容易に調整可能である。

#### 【0092】

次に、図5の②の例では、nチャネル差動対203、204は、

$$V_{th203} = V_{th204}、$$

$$I_{ds203} = I_{ds204}$$

に設定されており、

pチャネル差動対303、304は、

$$V_{th303} < V_{th304}、$$

$$I_{ds303} = I_{ds304}$$

に設定されている。

#### 【0093】

このとき、nチャネル差動対203、204のゲート・ソース間電圧 $V_{gs203}$ 及び $V_{gs204}$ は、

$$V_{gs203} = V_{gs204}$$

となり、入力電圧  $V_{in}$  と駆動設定電圧  $V_1$  の関係は、

$$V_1 = V_{in}$$

となる。

#### 【0094】

一方、pチャネル差動対303、304のゲート・ソース間電圧  $V_{gs303}$  及び  $V_{gs304}$  は、

$$V_{gs303} < V_{gs304}$$

となり、入力電圧  $V_{in}$  と駆動設定電圧  $V_2$  の関係は、

$$V_{in} < V_2$$

となる。

#### 【0095】

したがって、図5の②のように設定することにより、pチャネルトランジスタ101、及びnチャネルトランジスタ102ともに動作しない緩衝領域を  $V_1$  ( $= V_{in}$ ) と  $V_2$  の間に設けることができる。

#### 【0096】

以上、nチャネル差動対203、204、及び、pチャネル差動対201、202のいずれか一方のトランジスタ対の閾値電圧を異なる構成とする例を示したが、双方の差動対のトランジスタ対の閾値電圧が異なる構成としてもよい。

#### 【0097】

さらに、nチャネル差動対203、204、及び、pチャネル差動対201、202の少なくともいずれか一方がドレイン・ソース間電流  $I_{ds}$  の異なるトランジスタで差動対をなすように設定してもよい。図5の③では、

$$V_{th203} = V_{th204}、$$

$$I_{ds203} > I_{ds204}$$

に設定され、pチャネル差動対303、304は、

$$V_{th303} = V_{th304}、$$

$$I_{ds303} = I_{ds304}$$

に設定される。

#### 【0098】

このとき、nチャネル差動対203、204のゲート・ソース間電圧 $V_{gs203}$ 及び $V_{gs204}$ は、

$$V_{gs203} > V_{gs204}$$

となり、入力電圧 $V_{in}$ と駆動設定電圧 $V_1$ の関係は、

$$V_1 < V_{in}$$

となる。

#### 【0099】

一方、pチャネル差動対303、304のゲート・ソース間電圧 $V_{gs303}$ 及び $V_{gs304}$ は、

$$V_{gs303} = V_{gs304}$$

となり、入力電圧 $V_{in}$ と駆動設定電圧 $V_2$ の関係は、

$$V_{in} = V_2$$

となる。

#### 【0100】

図5の③のように設定することにより、pチャネルトランジスタ101及びnチャネルトランジスタ102がともに動作しない緩衝領域を、電圧 $V_1$ と $V_2$  ( $=V_{in}$ ) の間に設けることができる。

#### 【0101】

同様にして、図5の④では、nチャネル差動対203、204は、

$$V_{th203} = V_{th204}、$$

$$I_{ds203} = I_{ds204}$$

に設定され、pチャネル差動対303、304は、

$$V_{th303} = V_{th304}、$$

$$I_{ds303} < I_{ds304}$$

に設定される。このとき、nチャネル差動対203、204のゲート・ソース間電圧 $V_{gs203}$ 及び $V_{gs204}$ は、

$$V_{gs203} = V_{gs204}$$

となり、入力電圧 $V_{in}$ と駆動設定電圧 $V_1$ の関係は、

$$V_1 = V_{in}$$



となる。

#### 【0102】

一方、pチャネル差動対303、304のゲート・ソース間電圧 $V_{gs303}$ 及び $V_{gs304}$ は、

$$V_{gs303} < V_{gs304}$$

となり、入力電圧 $V_{in}$ と駆動設定電圧 $V_2$ の関係は、

$$V_{in} < V_2$$

となる。

#### 【0103】

したがって、図5の④のように設定することにより、pチャネルトランジスタ101及びnチャネルトランジスタ102がともに動作しない緩衝領域を $V_1$  ( $=V_{in}$ )と $V_2$ の間に設けることができる。

#### 【0104】

以上、図5に示した①から④の4種類の設定により、1データ駆動期間の第1の期間において、駆動設定電圧 $V_1$ と $V_2$ の間に設けられた緩衝領域によって、出力端子が入力電圧 $V_{in}$ 付近に高速に駆動されても、発振を抑えることができる。また、緩衝領域の範囲も制御することができる。

#### 【0105】

なお、図5の①から④の4種類の設定例は、駆動設定電圧 $V_1$ と $V_2$ の間に、pチャネルトランジスタ101とチャネルトランジスタ102がともに動作しない緩衝領域を設けるためのいくつかの代表的な手法を例示したものであり、上記以外にも、差動対トランジスタの閾値電圧と、ドレイン・ソース間電流等の設定の組み合わせ等により、駆動設定電圧 $V_1$ と $V_2$ の間に緩衝領域を設けるための任意の制御を適用してもよいことは勿論である。

#### 【0106】

また、1データ駆動期間の第2の期間において、図5の①と③の設定では、nチャネルトランジスタ102及び定電流源103を動作させること（図2の第2データ駆動期間における制御）により、出力端子2を入力電圧 $V_{in}$ と等しい電圧に高精度に駆動することができる。一方、図5の②と④の設定では、pチャネ

ルトランジスタ 101 及び定電流源 104 を動作させること（図 2 の第 1 データ駆動期間における制御）により、出力端子 2 を入力電圧  $V_{in}$  と等しい電圧に駆動することができる。

#### 【0107】

したがって、所望の電圧を入力電圧  $V_{in}$  として入力すれば、出力端子 2 を 1 データ駆動期間内に、所望の電圧に駆動することができる。なお、このとき、所望の電圧を高精度に駆動可能なダイナミックレンジは、図 5 の①と③の設定の場合、高電位電源  $V_{DD}$  からトランジスタ 303 の閾値電圧  $V_{th303}$  の絶対値までを電源電圧範囲から差し引いた電圧範囲であり、図 5 の②と④の設定の場合、低電位電源  $V_{SS}$  からトランジスタ 203 の閾値電圧  $V_{th203}$  までを電源電圧範囲から差し引いた電圧範囲である。ただし、図 2 に示した第 1 データ駆動期間における制御が行われるときに、設定駆動電圧  $V_1$  が所望の電圧と等しくなるように入力電圧  $V_{in}$  が設定され、図 2 に示した第 2 データ駆動期間における制御が行われるときに、設定駆動電圧  $V_2$  が所望の電圧と等しくなるように入力電圧  $V_{in}$  が設定される場合には、所望の電圧を高精度に駆動可能なダイナミックレンジをほぼ電源電圧範囲に広げることができる。ただし、この場合、所望の電圧と入力電圧  $V_{in}$  は必ずしも一致しない。

#### 【0108】

以上説明したように、図 4 に示す駆動回路は、上記実施の形態で説明した作用効果を実現することができる。

#### 【0109】

##### [第 2 実施例]

図 7 は、本発明の第 2 の実施例の駆動回路の構成を示す図で、図 1 の駆動回路の第 1、第 2 の差動回路 20、30 について、図 4 とは異なる構成例を示す図である。以下、図 7 を参照して、第 1、第 2 の差動回路 20、30 の構成について説明する。第 1、第 2 の差動回路 20、30 は、差動対の反転入力端側の構成が、図 4 に示した構成と異なっている。図 7 を参照すると、第 1 の差動回路 20 は、定電流源 209 によって駆動される  $n$  チャネル差動対トランジスタ 203、204、205 と、差動対トランジスタの出力対に接続され、差動対の負荷回路を

なす p チャンネルトランジスタ 201、202 よりなるカレントミラー回路を備えている。より具体的には、定電流源 209 は、一端が低電位電源 VSS に接続され、他端が差動対をなす n チャンネルトランジスタ 203、204、205 の共通ソースと接続される。カレントミラー回路は、p チャンネルトランジスタ 201、202 よりなり、それぞれのソースが高電位電源 VDD と接続され、p チャンネルトランジスタ 202 はダイオード接続され、p チャンネルトランジスタ 201、202 のそれぞれのゲートは共通接続される。n チャンネル差動対は、n チャンネルトランジスタ 203、204、205 から構成されており、p チャンネルトランジスタ 201 のドレインと定電流源 209 との間に n チャンネルトランジスタ 203 が接続され、p チャンネルトランジスタ 202 のドレイン（ゲート）と定電流源 209 との間に、直列形態に接続された n チャンネルトランジスタ 204 とスイッチ 252 と、直列形態に接続された n チャンネルトランジスタ 205 とスイッチ 253 とが、並列に接続される。そしてトランジスタ 201 と 203 の接続ノードが差動回路 20 の出力端をなし、p チャンネルトランジスタ 101 のゲートと接続されている。n チャンネル差動対トランジスタ 203 のゲート端子（制御端子）は、差動回路の非反転入力端をなし、n チャンネル差動対トランジスタ 204、205 のゲート端子（制御端子）は、共通接続され差動回路の反転入力端をなしている。そして n チャンネル差動対トランジスタ 203 のゲートには入力端子 1 が接続され、n チャンネル差動対トランジスタ 204、205 のゲートには出力端子 2 が接続される。

#### 【0110】

また第 2 の差動回路 30 では、定電流源 309 によって駆動される p チャンネル差動対トランジスタ 303、304、305 の出力対に、n チャンネルトランジスタ 301、302 からなるカレントミラー回路 301、302 が負荷回路として接続されている。より具体的には、定電流源 309 は、一端が高電位電源 VDD に接続され、他端が差動対をなす p チャンネルトランジスタ 303、304 の共通ソースと接続される。差動対の能動負荷をなすカレントミラー回路は、n チャンネルトランジスタ 301、302 よりなり、それぞれのソースが低電位電源 VSS と接続される。n チャンネルトランジスタ 302 はダイオード接続され、n チャンネ

ルトランジスタ 301、302 のそれぞれのゲートは共通接続される。p チャネル差動対は p チャネルトランジスタ 303、304、305 で構成され、n チャネルトランジスタ 301 のドレインと定電流源 309 との間に p チャネルトランジスタ 303 が接続され、n チャネルトランジスタ 302 のドレイン（ゲート）と定電流源 309 との間に、直列形態に接続された p チャネルトランジスタ 304 とスイッチ 352 と、直列形態に接続された n チャネルトランジスタ 305 とスイッチ 353 とが、並列に接続される。そしてトランジスタ 301、303 の接続ノードが差動回路 30 の出力端をなし、n チャネルトランジスタ 102 のゲートと接続されている。p チャネル差動対トランジスタ 303 のゲート端子（制御端子）は、差動回路 30 の非反転入力端をなし、p チャネル差動対トランジスタ 304、305 のゲート端子（制御端子）は、共通接続され差動回路 30 の反転入力端をなしている。そして p チャネル差動対トランジスタ 303 のゲートには入力端子 1 が接続され、p チャネル差動対トランジスタ 304、305 のゲートには出力端子 2 が接続される。

#### 【0111】

本実施例では、p チャネルトランジスタ 101 の設定駆動電圧  $V_1$  が n チャネルトランジスタ 102 の設定駆動電圧  $V_2$  よりも低電位に制御される構成として、n チャネルトランジスタ 203、204、205 のそれぞれの閾値電圧が、

$$V_{th203} = V_{th205} > V_{th204}$$

とされており、あるいは、

p チャネルトランジスタ 303、304、305 のそれぞれの閾値電圧が、

$$V_{th303} = V_{th305} < V_{th304}$$

と設定されている。

#### 【0112】

また、カレントミラー 201、202 及びカレントミラー 301、302 はそれぞれ入力電流と等倍の出力電流に設定されている。

#### 【0113】

本実施例では、スイッチ 252、253 のオン・オフ制御により、互いに閾値電圧の異なる n チャネルトランジスタ 204 と 205 との切替が行えるように構

成されており、スイッチ 352、353 の制御により、互いに閾値電圧の異なる p チャンネルトランジスタ 304 と 305 との切替が行えるように構成されている。この点は、本実施例の特徴の 1 つをなしている。

#### 【0114】

かかる構成によって、本実施例において、設定駆動電圧  $V_1$  は、スイッチ 252 とスイッチ 253 がそれぞれオフとオンに設定され、n チャンネルトランジスタ 205 が選択されたときに、

$$V_1 = V_{in}$$

となり、

スイッチ 252 とスイッチ 253 がそれぞれオンとオフに設定され、n チャンネルトランジスタ 204 が選択されたときに、

$$V_1 < V_{in}$$

となる。

#### 【0115】

本実施例における入力電圧  $V_{in}$  と設定駆動電圧  $V_1$  の関係について、再び図 6 を参照して説明する。図 6 は n チャンネル差動対 203、204、205 のそれぞれのトランジスタ特性の一例を示したものである。図 6 には、図 7 の n チャンネルトランジスタ 203、204、205 のゲート・ソース間電圧  $V_{gs}$  に対するドレイン・ソース間電流  $I_{ds}$  のそれぞれの特性 ( $V-I$  特性) が示されている。前述したとおり、図 6 において、トランジスタ 203 の特性は、トランジスタ 204 の特性から、閾値電圧の差分 ( $V_{th203} - V_{th204}$ ) だけずれている。なおトランジスタ 203 と 205 の特性は同じであるものとする。図 6 を参照すると、n チャンネルトランジスタ 205 が選択された場合、n チャンネル差動対 203、205 のゲート・ソース間電圧  $V_{gs203}$  及び  $V_{gs205}$  は、

$$V_{gs203} = V_{gs205}$$

となり、入力電圧  $V_{in}$  と駆動設定電圧  $V_1$  の関係は、

$$V_1 = V_{in}$$

となる。

一方、n チャンネルトランジスタ 204 が選択された場合、n チャンネル差動対 2

03、204のゲート・ソース間電圧 $V_{gs203}$ 及び $V_{gs204}$ は、

$$V_{gs203} > V_{gs204}$$

であり、その差分

$$(V_{gs203} - V_{gs204})$$

は、閾値電圧の差分

$$(V_{th203} - V_{th204})$$

とはほぼ等しい。入力電圧 $V_{in}$ と第1の駆動設定電圧 $V_1$ の関係は、ゲート・ソース間電圧 $V_{gs203}$ と $V_{gs204}$ の関係と同じであることから、

$$V_1 < V_{in}$$

であり、その差分

$$(V_{in} - V_1)$$

も、閾値電圧の差分

$$(V_{th203} - V_{th204})$$

とはほぼ等しい。したがって、第1の駆動設定電圧 $V_1$ は、nチャネル差動対203、204、205のそれぞれの閾値電圧の制御によって、調整が可能である。

#### 【0116】

一方、設定駆動電圧 $V_2$ は、スイッチ352、353がそれぞれオフ、オンとされpチャネルトランジスタ305が選択されたときに、

$$V_2 = V_{in}$$

となり、スイッチ352、353がそれぞれオン、オフとされpチャネルトランジスタ304が選択されたときに、

$$V_2 > V_{in}$$

となる。その詳細はnチャネル差動対203、204、205の説明と同様である。そして第2の駆動設定電圧 $V_2$ も、pチャネル差動対303、304、305のそれぞれの閾値電圧の制御によって調整が可能である。

#### 【0117】

そして、1データ駆動期間において、第1の期間では、スイッチ252がオン、スイッチ253がオフのとき、スイッチ352とスイッチ353のいずれかー

方をオンとする。

【0118】

もしくは、スイッチ352がオン、スイッチ353がオフのとき、スイッチ252とスイッチ253のいずれか一方をオンとする。

【0119】

本実施例においては、かかる切替制御により、設定駆動電圧 $V_1$ と $V_2$ の間に設けられた緩衝領域によって、出力端子が入力電圧 $V_{in}$ 付近に高速に駆動されても、発振を抑えることができる。この特徴は、本発明の顕著な作用効果の一つをなしている。

【0120】

また、本実施例によれば、緩衝領域の範囲も可変に制御することができる。この特徴も、本発明の顕著な作用効果の一つをなしている。

【0121】

本実施例において、1データ駆動期間の第2の期間では、pチャネルトランジスタ101と定電流源104が動作する場合（図2の第1データ駆動期間における制御の場合）は、スイッチ252をオフとし、スイッチ253をオンとし、nチャネルトランジスタ102と定電流源103が動作する場合（図2の第2データ駆動期間における制御の場合）は、スイッチ352をオフとし、スイッチ353をオンとする。

【0122】

これにより、出力端子を入力電圧 $V_{in}$ と等しい電圧に、高精度に駆動することができる。なお、このときのダイナミックレンジとして、入力電圧 $V_{in}$ に応じた第1データ駆動期間又は第2データ駆動期間の最適な制御により、電源電圧範囲のダイナミックレンジが可能である。

【0123】

したがって、所望の電圧を入力電圧 $V_{in}$ として入力すれば、出力端子2を1データ駆動期間内に所望の電圧に駆動することができる。そして電源電圧範囲の広ダイナミックレンジも実現できる。

【0124】

以上説明したように、図 7 に示した駆動回路は、差動回路 20、30 の構成により、p チャネルトランジスタ 101 により充電駆動される第 1 の設定駆動電圧  $V_1$  が、n チャネルトランジスタ 102 により放電駆動される第 2 の設定駆動電圧  $V_2$  よりも低電位となるように制御される。これにより、第 1 の増幅トランジスタおよび第 2 の増幅トランジスタをなす p チャネルトランジスタ 101 及び n チャネルトランジスタ 102 が共に動作しない緩衝領域が所望の電圧近傍に設けられ、p チャネルトランジスタ 101 及び n チャネルトランジスタ 102 を同時に動作可能としても、発振を防ぐことができる。そして上記実施の形態で説明した作用及び効果を実現することができる。

#### 【0125】

なお、上記実施例では、図 7 の差動回路 20 と 30 のそれぞれの反転入力端子側の構成を、互いに閾値電圧の異なる 2 つのトランジスタを並列に接続した構成例で示したが、差動対を構成するトランジスタ対のうち反転入力端子側に接続するトランジスタを、互いに電流駆動能力の異なる 2 つのトランジスタを並列に接続する構成としてもよい。この場合、1 データ駆動期間の第 1 の期間と第 2 の期間において、差動対の互いに電流駆動能力の異なる 2 つのトランジスタに対応するスイッチをオン・オフすることで 1 つのトランジスタを選択する。

#### 【0126】

また、上記実施例では、差動トランジスタ対のうち反転入力端子側の並列に接続された 2 つのトランジスタを、1 データ駆動期間の第 1 の期間と第 2 の期間で、それぞれいずれか一方を選択する制御を行う例について説明したが、並列接続された 2 つのトランジスタを同時に選択する制御を行ってもよい。この場合、例えば、図 7 の差動回路 20 において、トランジスタ 204 とトランジスタ 205 の電流駆動能力の合計と、トランジスタ 203 の電流駆動能力が等しくなるように設定する。そして、1 データ駆動期間の第 1 の期間で、スイッチ 252、253 の一方だけをオンとして、トランジスタ 204 及び 205 のうち的一方だけを選択し、第 2 の期間で、スイッチ 252 及び 253 の両方をオンとして、トランジスタ 204 及び 205 の両方を選択する。かかる切替制御により、上記実施例と同様の設定駆動電圧  $V_1$  と入力電圧  $V_{in}$  関係を実現できる。



## 【0 1 2 7】

さらに、上記実施例では、図 7 の差動回路 2 0、3 0 のそれぞれの反転入力端子側の構成を、互いに閾値電圧の異なる 2 つのトランジスタを並列に接続した例で示したが、本発明はかかる構成に限定されるものでなく、並列接続された 3 つ以上の複数のトランジスタで構成してもよいことは勿論である。

## 【0 1 2 8】

また、上記実施例において、図 1 の差動回路 2 0 と 3 0 において、複数のトランジスタを並列に接続した反転入力端子側の構成は、差動回路 2 0 と 3 0 の両方が備えるかわりに、いずれか一方の差動回路だけが備える構成としてもよい。これは、一方の差動回路だけで緩衝領域を設定することができるからである。ただし、その場合、もう一方の差動回路の差動対は、同じ閾値電圧または同じ電流駆動能力のトランジスタで構成する必要がある。

## 【0 1 2 9】

ところで、差動回路 2 0 と 3 0 および増幅トランジスタ 1 0 1 と 1 0 2 よりなる図 7 のようなボルテージフォロウ構成の駆動回路において、駆動設定電圧 V 1 と V 2 の緩衝領域を、差動増幅器の出力オフセットに基づき設定している。本実施例は、出力オフセットを発振防止として利用する構成としており、図 1 5 の差動増幅器と相違している。また、本実施例では、所定の出力オフセットを持つ駆動と、出力オフセットがゼロとなる駆動とを切替えて駆動しており、図 1 5 の差動増幅器と相違している。

## 【0 1 3 0】

## [第 3 実施例]

また、図 8 は、図 7 に示した駆動回路の一変形例を示す図である。図 7 に示す構成では、差動対の反転入力端側に閾値電圧の異なるトランジスタを並列に接続し、いずれか一方のトランジスタを選択するものとしたが、図 8 に示す回路では、差動対の非反転入力端側に、閾値電圧の異なるトランジスタを並列に接続し、いずれか一方のトランジスタを選択する構成としている。

## 【0 1 3 1】

図 7 に示す構成では、差動対の反転入力端側に、複数の同極性のトランジスタ

が並列に接続されているが、図 8 に示す回路構成では、差動対の非反転入力端側に、複数の同極性トランジスタが並列に接続され、少なくとも 1 つがスイッチで選択され活性化される構成とされている。具体的には、差動回路 20 の n チャンネル差動対は、n チャンネルトランジスタ 203、204、206 で構成され、トランジスタ 202 のドレイン(ゲート)と定電流源 209 との間に n チャンネルトランジスタ 204 が接続され、トランジスタ 201 のドレインと定電流源 209 との間に、直列形態に接続された n チャンネルトランジスタ 203 とスイッチ 254 と、直列形態に接続された n チャンネルトランジスタ 206 とスイッチ 255 とが、並列に接続される。n チャンネルトランジスタ 204 のゲートは出力端子 2 と接続され、n チャンネルトランジスタ 203、206 のゲートはともに入力端子 1 と接続される。

#### 【0132】

また差動回路 30 の p チャンネル差動対は、p チャンネルトランジスタ 303、304、306 で構成され、トランジスタ 302 のドレイン(ゲート)と定電流源 309 との間に p チャンネルトランジスタ 304 が接続され、トランジスタ 301 のドレインと定電流源 309 との間に、直列形態に接続された p チャンネルトランジスタ 303 とスイッチ 354 と、直列形態に接続された p チャンネルトランジスタ 306 とスイッチ 355 とが、並列に接続される。p チャンネルトランジスタ 304 のゲートは出力端子 2 と接続され、p チャンネルトランジスタ 303、306 のゲートはともに入力端子 1 と接続される。その他の構成については図 7 と同じである。

#### 【0133】

図 8 においても、図 7 に示した第 2 の実施例と同様に、1 データ駆動期間の第 1 の期間と第 2 の期間それぞれで、スイッチ 254、255、354、355 のオン、オフ制御により最適なトランジスタを選択する。これにより第 2 実施例と同様の効果を得ることができる。

#### 【0134】

##### [第 4 実施例]

図 9 は、本発明の第 4 の実施例の駆動回路の構成を示す図であり、図 1 に示し

た差動回路 20、30 の別の変形例を示す図である。図 9 を参照すると、本実施例の駆動回路においては、カレントミラー回路の入力端側のトランジスタとして、複数の同極性トランジスタが並列に接続されている。具体的には、差動回路 20 の n チャンネル差動対は、n チャンネルトランジスタ 203、204 で構成される。n チャンネル差動対の出力対と高電位電源 VDD 間に接続され、n チャンネル差動対の能動負荷をなすカレントミラー回路の出力端側は、高電位電源 VDD とトランジスタ 203 のドレイン間に接続された p チャンネルトランジスタ 201 を有し、カレントミラー回路の入力端側は、高電位電源 VDD とトランジスタ 204 のドレイン間に、直列形態に接続された p チャンネルトランジスタ 202 とスイッチ 256 と、直列形態に接続された p チャンネルトランジスタ 207 とスイッチ 257 とが、並列に接続されている。また、p チャンネルトランジスタ 201、202、207 のゲートは、共通接続されて、p チャンネルトランジスタ 204 のドレインと接続されている。p チャンネルトランジスタ 201 と p チャンネルトランジスタ 202 の閾値電圧は等しく設定され、p チャンネルトランジスタ 207 は閾値電圧はその絶対値が p チャンネルトランジスタ 202 よりも小に設定されている。あるいは、p チャンネルトランジスタ 201 と p チャンネルトランジスタ 202 の電流駆動能力は等しく設定され、p チャンネルトランジスタ 207 と p チャンネルトランジスタ 202 の電流駆動能力は互いに異なるように設定されている。なお、差動対を構成する n チャンネルトランジスタ 203 と 204 は、互いに等しい特性を持つように設定される。

#### 【0135】

また差動回路 30 の p チャンネル差動対は、p チャンネルトランジスタ 303、304 で構成される。p チャンネル差動対の出力対と低電位電源 VSS 間に接続され、p チャンネル差動対の能動負荷をなすカレントミラー回路の出力端側は、低電位電源 VSS とトランジスタ 303 のドレインとの間に接続されているトランジスタ 301 を有し、カレントミラー回路の入力端側は、低電位電源 VSS とトランジスタ 304 のドレインとの間に、直列形態に接続された n チャンネルトランジスタ 302 とスイッチ 356 と、直列形態に接続された n チャンネルトランジスタ 307 とスイッチ 357 とが、並列に接続されている。また n チャンネルトランジスタ

タ 301、302、307 のゲートは、共通接続されて、トランジスタ 304 のドレインと接続されている。n チャネルトランジスタ 301 と n チャネルトランジスタ 302 の閾値電圧は等しく設定され、n チャネルトランジスタ 307 は閾値電圧が n チャネルトランジスタ 302 よりも低く設定されている。あるいは、n チャネルトランジスタ 301 と n チャネルトランジスタ 302 の電流駆動能力は等しく設定され、n チャネルトランジスタ 307 と n チャネルトランジスタ 302 の電流駆動能力は互いに異なるように設定されている。なお、差動対を構成する p チャネルトランジスタ 303 と 304 は、互いに等しい特性を持つように設定される。

#### 【0136】

本実施例においても、図 7 に示した前記第 2 の実施例と同様に、1 データ駆動期間の第 1 の期間と第 2 の期間のそれぞれにおいて、スイッチ 256 とスイッチ 257、及び、スイッチ 356 とスイッチ 357 のオン、オフ制御により、最適なトランジスタの選択が行われる。これにより、前記第 2 の実施例と同様の効果を得ることができる。なお、図 9 に示した実施例の変形として、差動対の負荷をなすカレントミラー回路の出力端側（トランジスタ 201 側）に、複数の同極性トランジスタを並列に接続し、1 データ駆動期間の第 1 の期間と第 2 の期間のそれぞれで、最適なトランジスタを選択する構成としても、前記第 2 の実施例と同様の効果を得られる、ことは勿論である。

#### 【0137】

##### [第 5 実施例]

図 10 は、本発明の第 5 の実施例の駆動回路の構成を示す図である。図 10 を参照すると、本実施例においては、図 4、図 7 乃至図 9 の前記実施例において、入力端子 1 と出力端子 2 の間に、制御信号 S0 でオン・オフ制御されるトランスファゲートスイッチ（CMOS トランスファゲート）40 が付加された構成を示す。

#### 【0138】

図 10 の駆動回路では、1 データ駆動期間における、第 1 の期間及び第 2 の期間に引き続く第 3 の期間を設け、そして第 3 の期間において、スイッチ 151、

152、153、154をオフとし、トランスファークロスタック40をオンとすれば、入力端子1に与えられた入力電圧 $V_{in}$ の電流供給能力で、直接、出力端子2に接続された容量性負荷を駆動することができる。

#### 【0139】

##### [第6実施例]

図11は、本発明の駆動回路の第6の実施例を示す図であり、表示装置のデータドライバの構成を示している。図11を参照すると、このデータドライバは、電源VAと電源VB間に接続された抵抗ストリング200と、デコーダ300（選択回路）と、出力端子群400と、バッファ回路100と、を備えて構成される。抵抗ストリング200の各端子（タップ）から生成した複数の階調電圧の中から、各出力ごとに映像デジタル信号に応じてデコーダ300で階調電圧を選択し、バッファ回路100で増幅して出力端子群400に接続されたデータ線を駆動する。バッファ回路100として、図4、図7乃至図9を参照して説明した本実施例の各回路を適用することができる。動作制御信号は、バッファ100回路の各スイッチのオン・オフまたは回路部の活性、非活性を制御する。

#### 【0140】

なおバッファ回路100に、図10を適用した場合には、図10のトランスファークロスタック40がオンとなる時、抵抗ストリング200から直接電荷を供給してデータ線を駆動する構成となる。

#### 【0141】

本発明の駆動回路を、図11の出力バッファ100に用いることにより、簡単に低消費電力で高速駆動のデータドライバを構成することができる。

#### 【0142】

なお、図11に示すデータドライバは、図12に示す液晶表示装置のデータ線駆動回路803に適用できることは勿論である。

#### 【0143】

なお、図4、図7乃至図9において、定電流源で駆動される差動対トランジスタの負荷をカレントミラー回路で構成した例が示されているが、差動対トランジスタの負荷を、抵抗素子で構成してもよいことは勿論である。ただし、その場合

、差動対に流れるドレイン・ソース間電流を異なる値に制御する場合には、異なる抵抗値の組み合わせとする。

#### 【0144】

また、上記実施例で説明した駆動回路は、MOSトランジスタで構成されており、表示装置の駆動回路では、例えば、多結晶シリコンからなるMOSトランジスタ（TFET）で構成してもよい。

#### 【0145】

また、上記実施例で説明した差動回路は、バイポーラトランジスタにも適用できることは勿論である。この場合、カレントミラー回路、差動対等のPチャネルトランジスタは、pnpトランジスタよりなり、nチャネルトランジスタはnpnトランジスタよりなる。上記実施例では、集積回路に適用した例を示したが、ディスクリート素子構成にも適用できることは勿論である。

#### 【0146】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

#### 【0147】

##### 【発明の効果】

以上説明したように、本発明によれば、1 データ駆動期間に充電作用及び放電作用を有する増幅トランジスタを共に活性とする第1の期間と、増幅トランジスタの一方のみを活性とし、その増幅トランジスタと逆の作用を行う定電流源を動作させる第2の期間とを設けたことにより、電源電圧範囲に等しいダイナミックレンジをもつことが可能とされ、低消費電力で、高速に、出力端子を所望の電圧に駆動することができる、という効果を奏する。

#### 【0148】

さらに、本発明によれば、充電用増幅トランジスタの設定駆動電圧V1が放電用増幅トランジスタの設定駆動電圧V2よりも低電位に制御されることにより、充電用及び放電用増幅トランジスタを共に動作可能としても、発振を抑えることができ、位相補償容量を十分小さく抑えることができる。これにより低消費電力

化とともに省面積化が実現できる、という効果を奏する。

【 0 1 4 9 】

また本発明の表示装置によれば、低消費電力で高速描画を可能とし、画質の向上を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態の構成を示す図である。

【図 2】

本発明の一実施の形態の活性、非活性の制御を示す図である。

【図 3】

本発明の一実施の形態の動作を説明するための図である。

【図 4】

本発明の第 1 の実施例の構成を示す図である。

【図 5】

本発明の第 1 の実施例の差動対をなすトランジスタの設定を示す図である。

【図 6】

本発明の第 1 の実施例におけるトランジスタ特性の一例を示す図である。

【図 7】

本発明の第 2 の実施例の構成を示す図である。

【図 8】

本発明の第 3 の実施例の変更例を示す図である。

【図 9】

本発明の第 4 の実施例の構成を示す図である。

【図 1 0】

本発明の第 5 の実施例の構成を示す図である。

【図 1 1】

本発明の第 6 の実施例の構成を示す図である。

【図 1 2】

液晶表示装置の構成を示す図である。

## 【図 13】

従来の増幅回路の構成を示す図である。

## 【図 14】

従来の増幅回路の構成を示す図である。

## 【図 15】

従来の増幅回路の構成を示す図である。

## 【図 16】

従来の増幅回路の動作を説明するための図である。

## 【符号の説明】

- 1 入力端子
- 2 出力端子
- 5 容量性負荷
- 10 基本構成
- 20、30 差動回路
- 100 バッファ回路
- 101、201、202、303、304、305、306 pチャネルトランジスタ
- 102、301、302、203、204、205、206 nチャネルトランジスタ
- 103、104、209、309 定電流源
- 151、152、153、154、251、252、253、254、255、256、257、351、352、353、354、355、356、357 スイッチ
- 200 抵抗ストリング
- 300 デコーダ
- 400 出力端子群
- 620、630 差動増幅回路
- 621、622、633、634、635、641 pチャネルトランジスタ
- 623、624、625、631、632、651 nチャネルトランジスタ



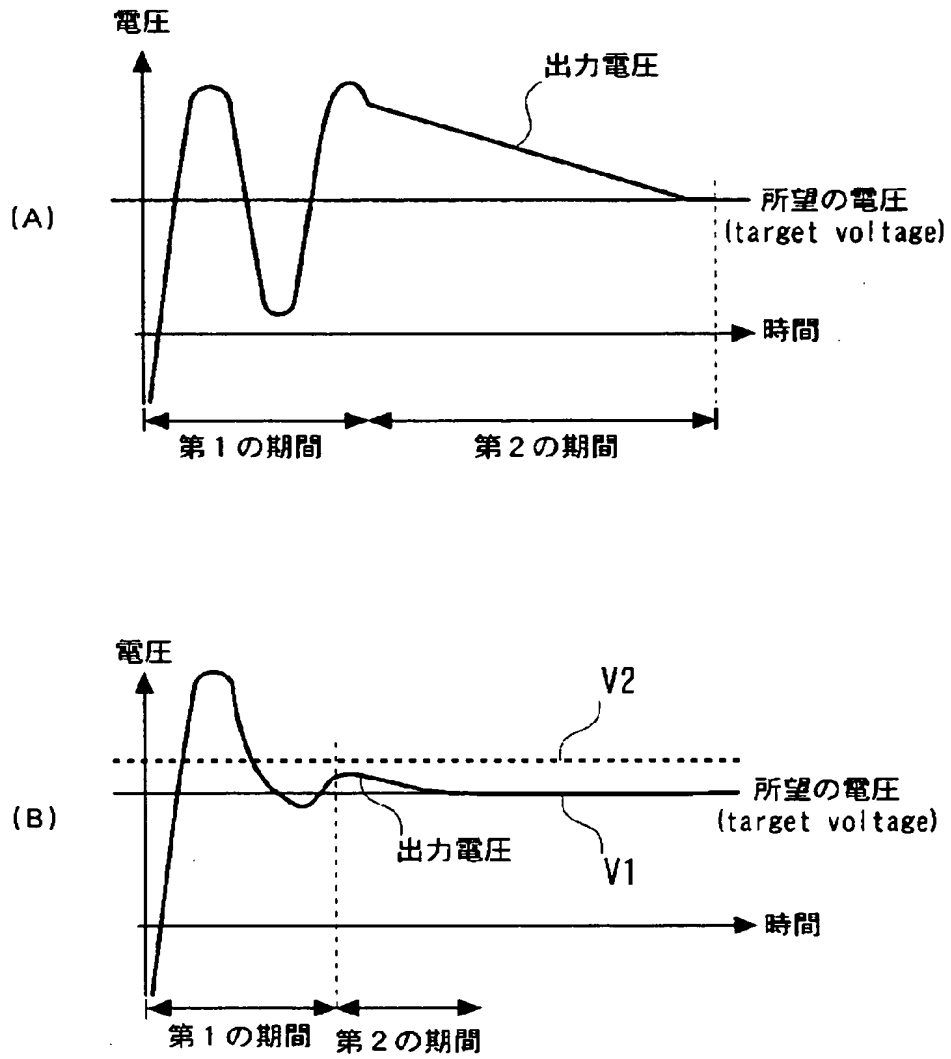
6 4 2、6 5 2 負荷  
7 2 0、7 3 0 差動増幅回路  
7 1 1、7 2 2、7 2 1、7 3 3、7 3 4 p チャネルトランジスタ  
7 1 2、7 2 3、7 2 4、7 3 1、7 3 2 n チャネルトランジスタ  
7 2 5、7 3 5 定電流源  
8 0 1 表示部  
8 0 2 ゲート線駆動回路  
8 0 3 データ線駆動回路  
8 1 1 ゲート線  
8 1 2 データ線  
8 1 4 T F T  
8 1 5 画素電極  
8 1 6 液晶容量  
8 1 7 対向電極  
9 1 0 出力回路  
9 2 0 予備充放電回路  
9 2 1 第 1 差動回路  
9 2 2 第 2 差動回路  
9 3 0 第 1 出力段  
9 3 1 充電手段  
9 3 2 第 1 定電流回路  
9 4 1 放電手段  
9 4 0 第 2 出力段  
9 4 2 第 2 定電流回路



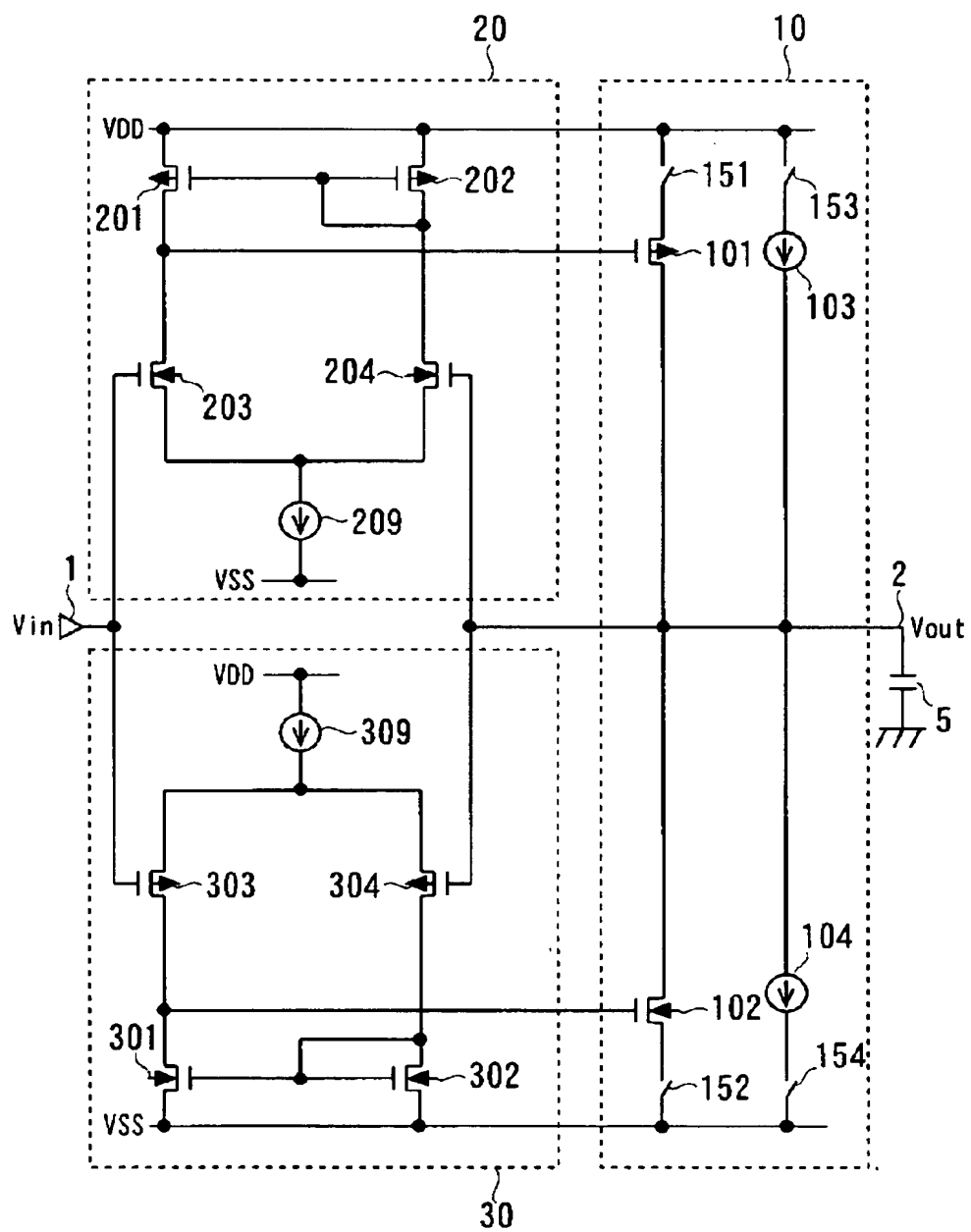
【図 2】

駆動	素子	第 1 データ駆動期間		第 2 データ駆動期間	
		第 1 の期間	第 2 の期間	第 1 の期間	第 2 の期間
充電	トランジスタ101	活性	活性	活性	非活性
	定電流源103	非活性	非活性	非活性	活性
放電	トランジスタ102	活性	非活性	活性	活性
	定電流源104	非活性	活性	非活性	非活性

【図 3】



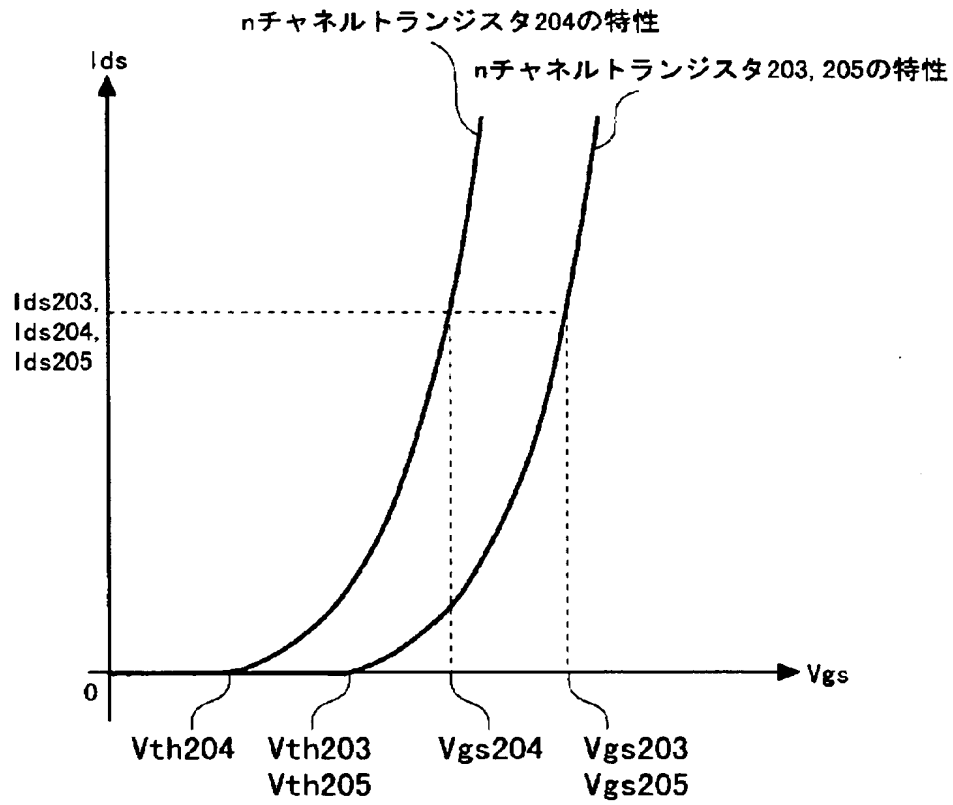
【図 4】



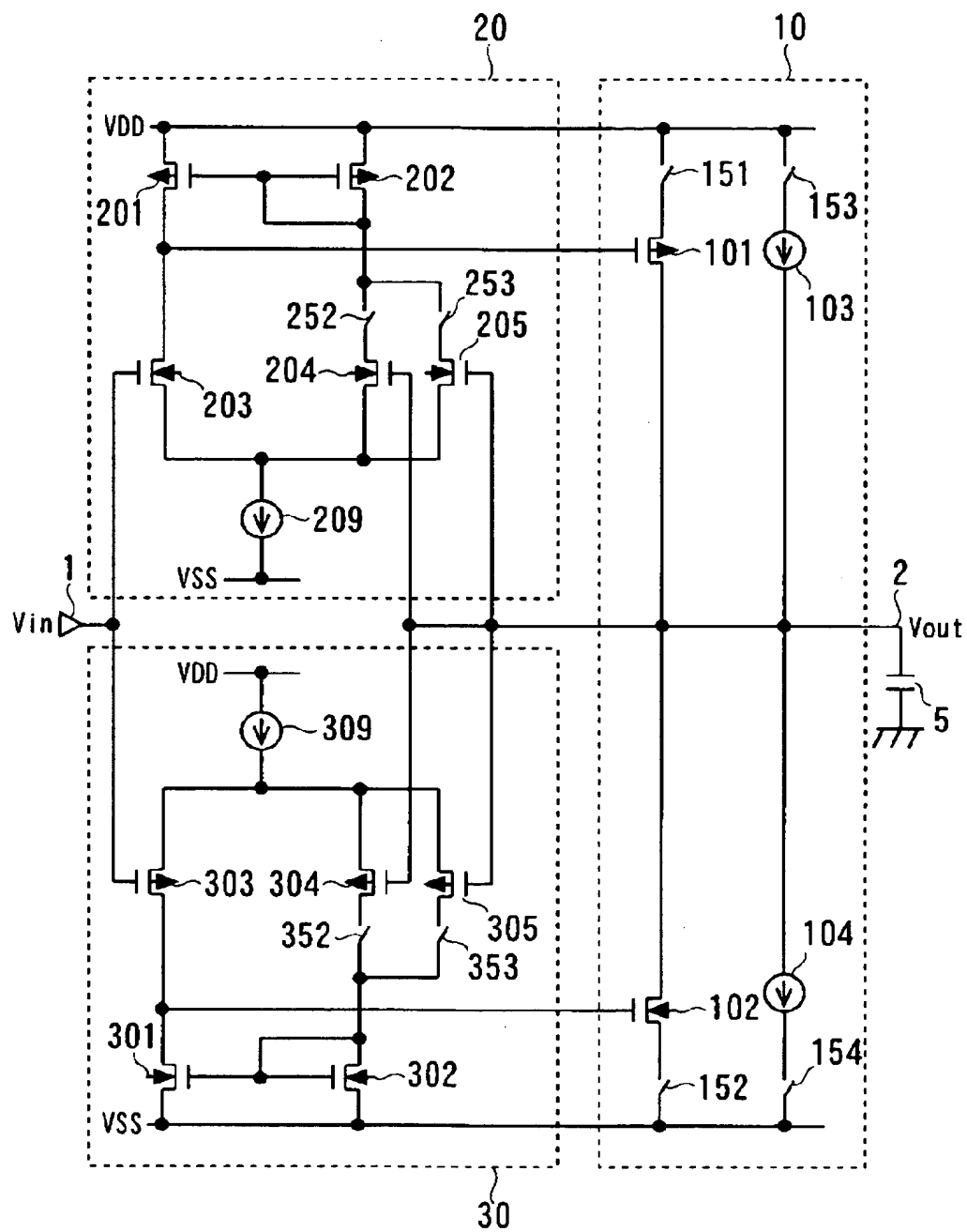
【図 5】

	(Vth203, Vth204)	(Vth303, Vth304)	(Ids203, Ids204)	(Ids303, Ids304)
①	$V_{th203} > V_{th204}$	$V_{th303} = V_{th304}$	$I_{ds203} = I_{ds204}$	$I_{ds303} = I_{ds304}$
②	$V_{th203} = V_{th204}$	$V_{th303} < V_{th304}$	$I_{ds203} = I_{ds204}$	$I_{ds303} = I_{ds304}$
③	$V_{th203} = V_{th204}$	$V_{th303} = V_{th304}$	$I_{ds203} > I_{ds204}$	$I_{ds303} = I_{ds304}$
④	$V_{th203} = V_{th204}$	$V_{th303} = V_{th304}$	$I_{ds203} = I_{ds204}$	$I_{ds303} < I_{ds304}$

【図 6】

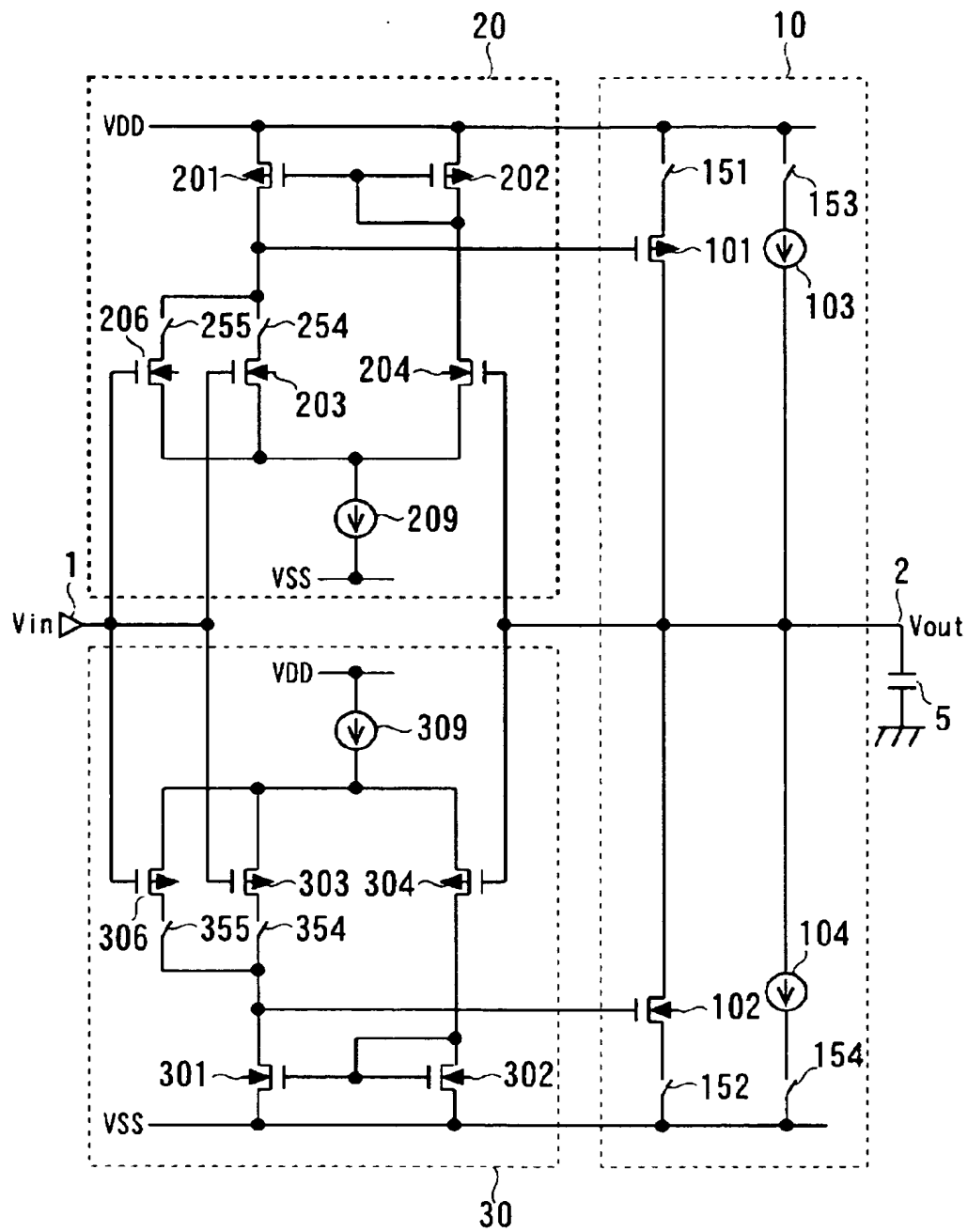


【図 7】

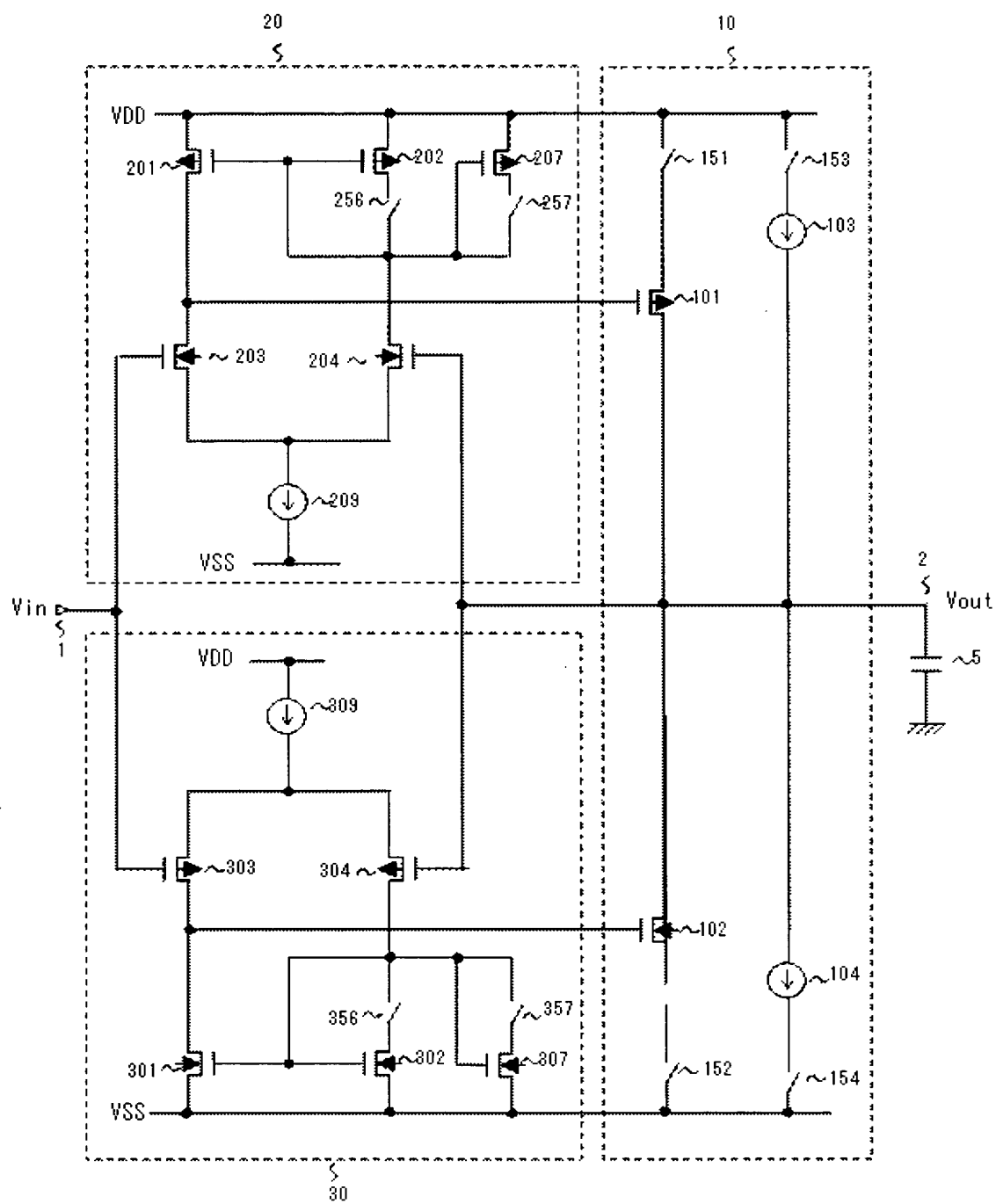




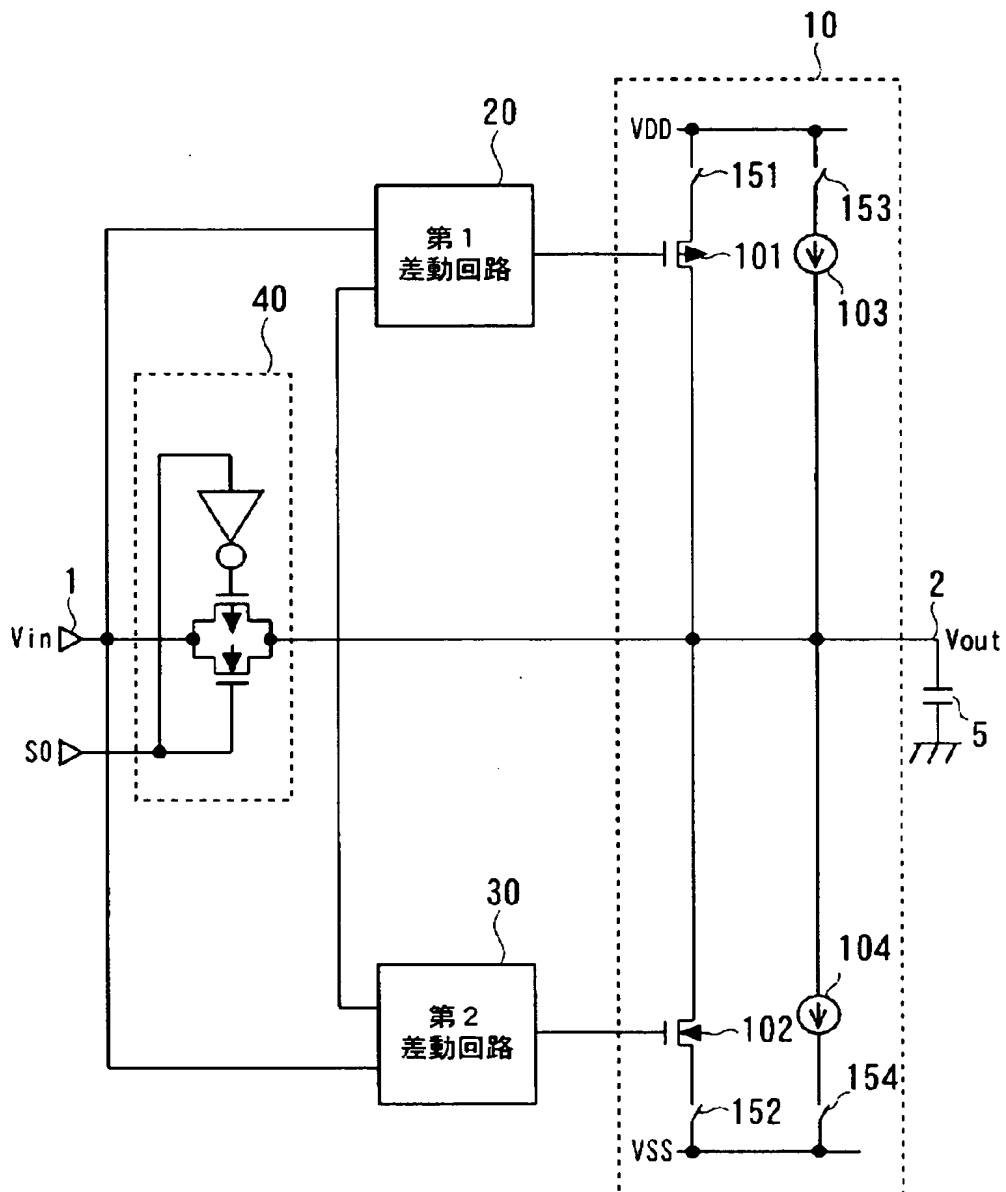
【図 8】



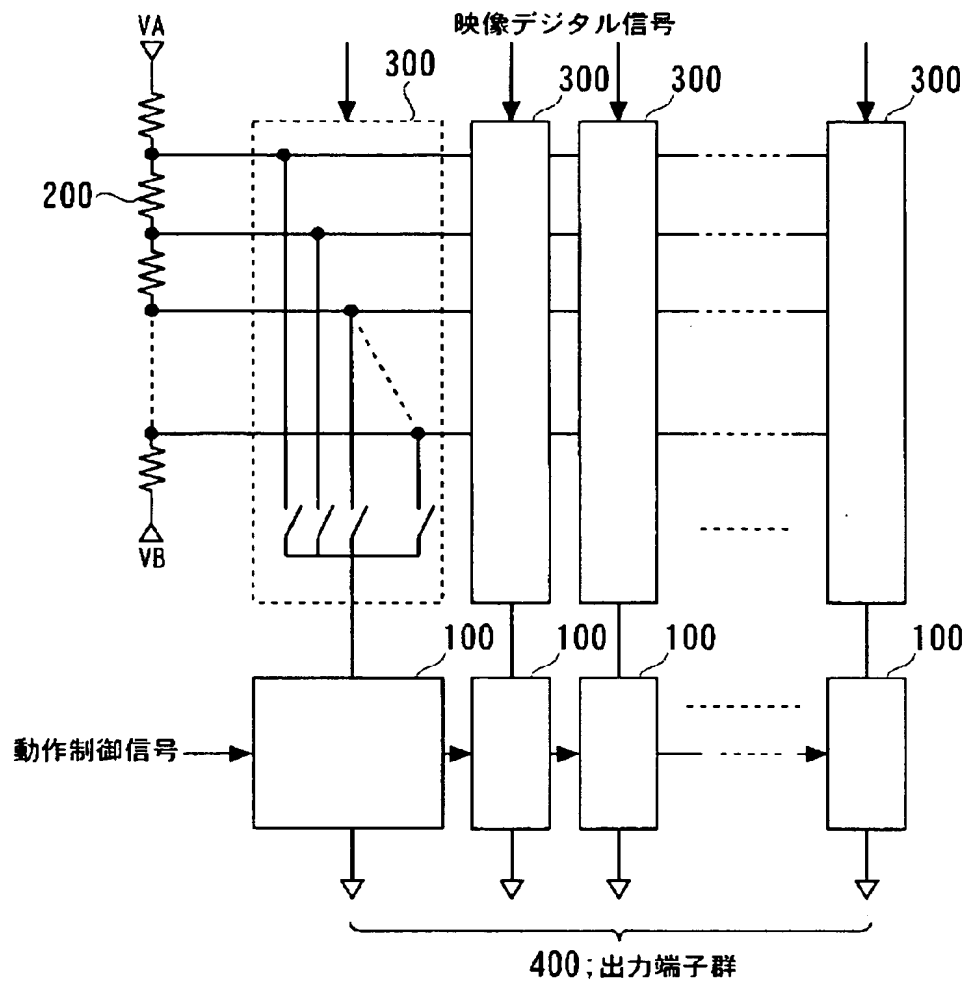
【図 9】



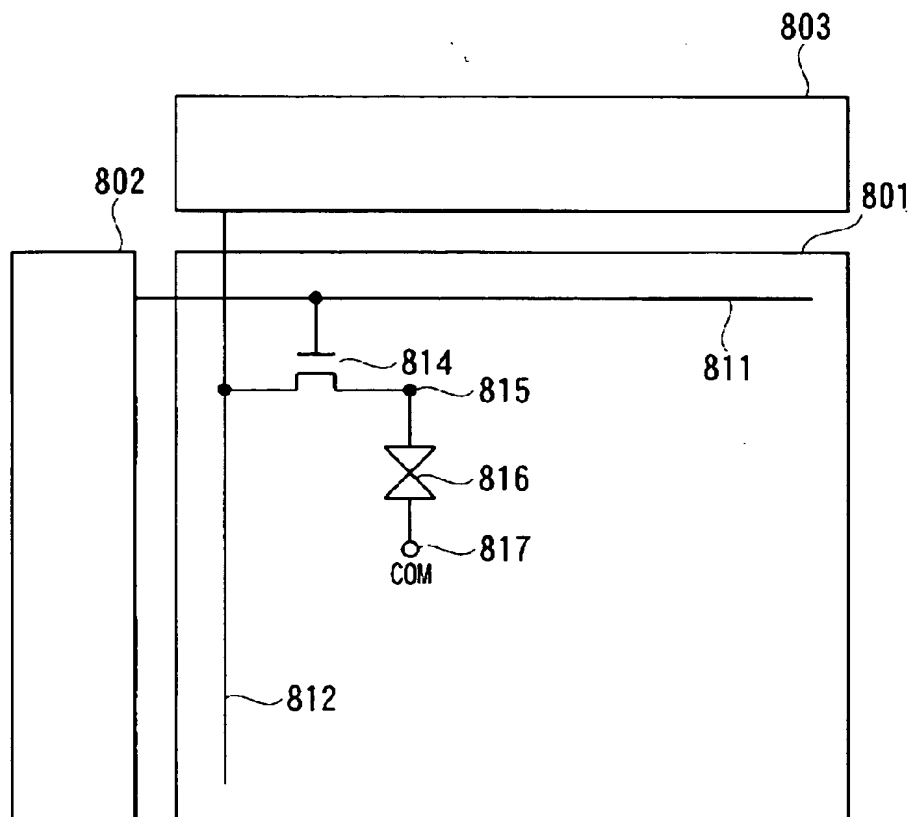
【図 10】



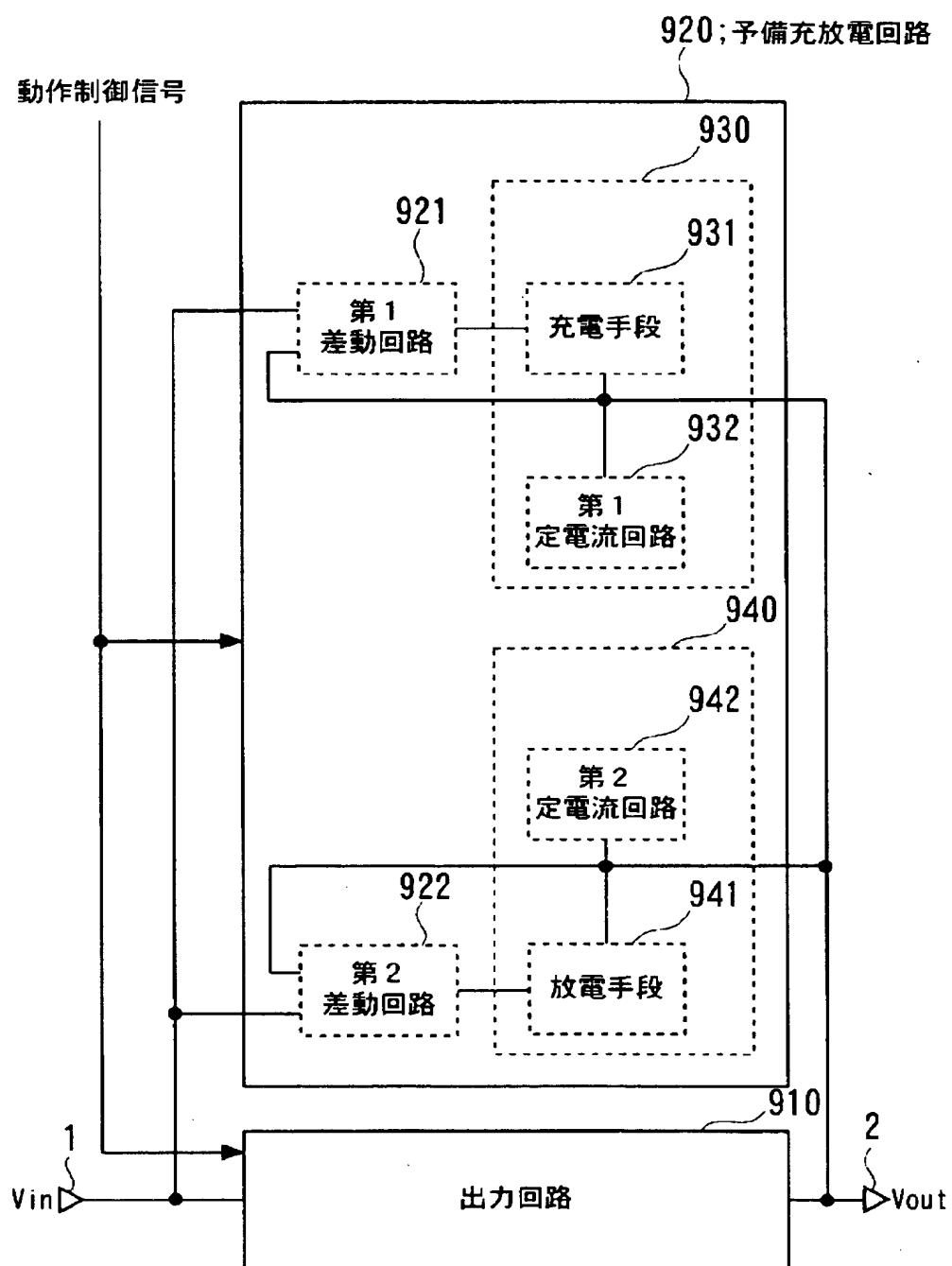
【図 11】



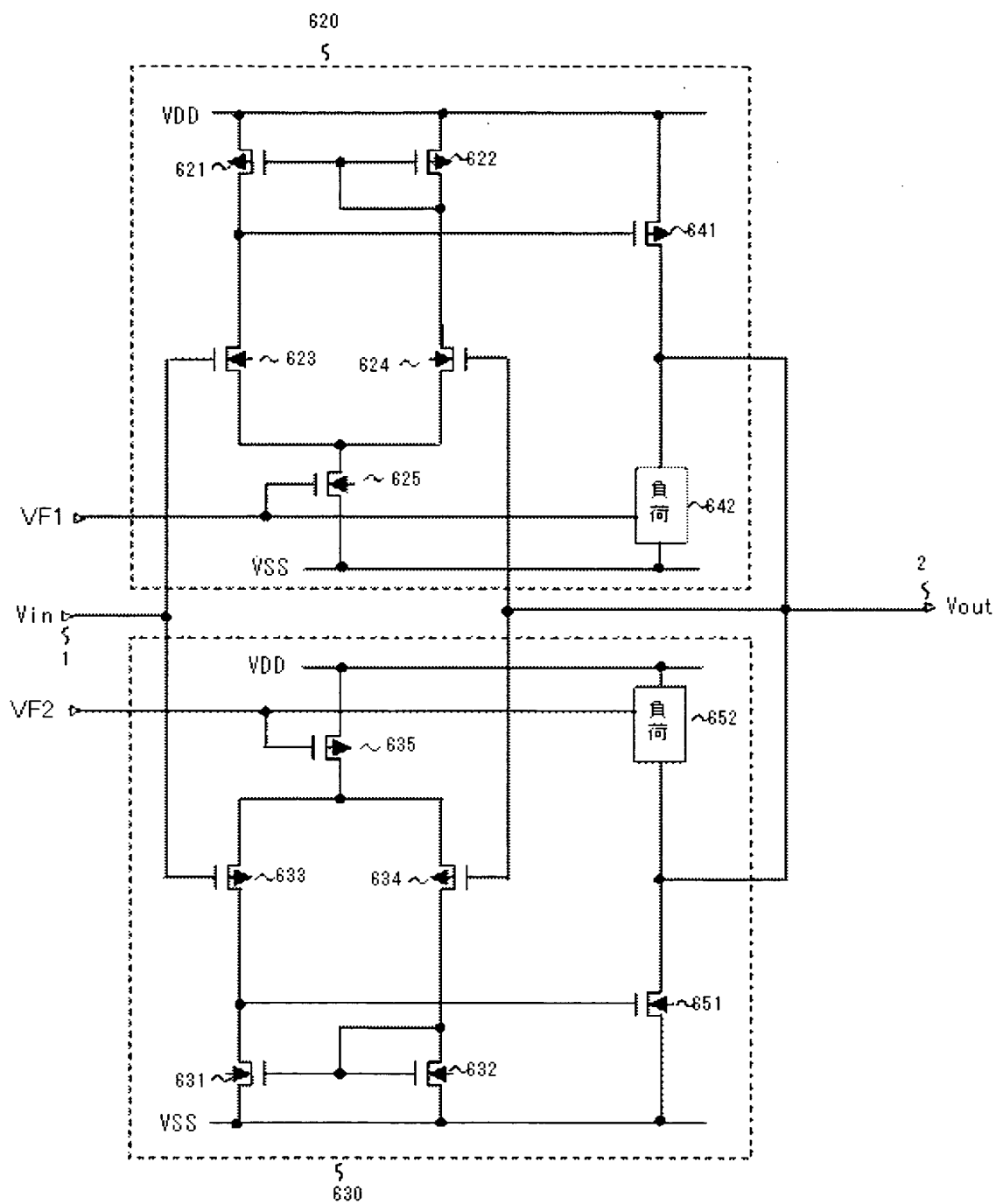
【図 12】



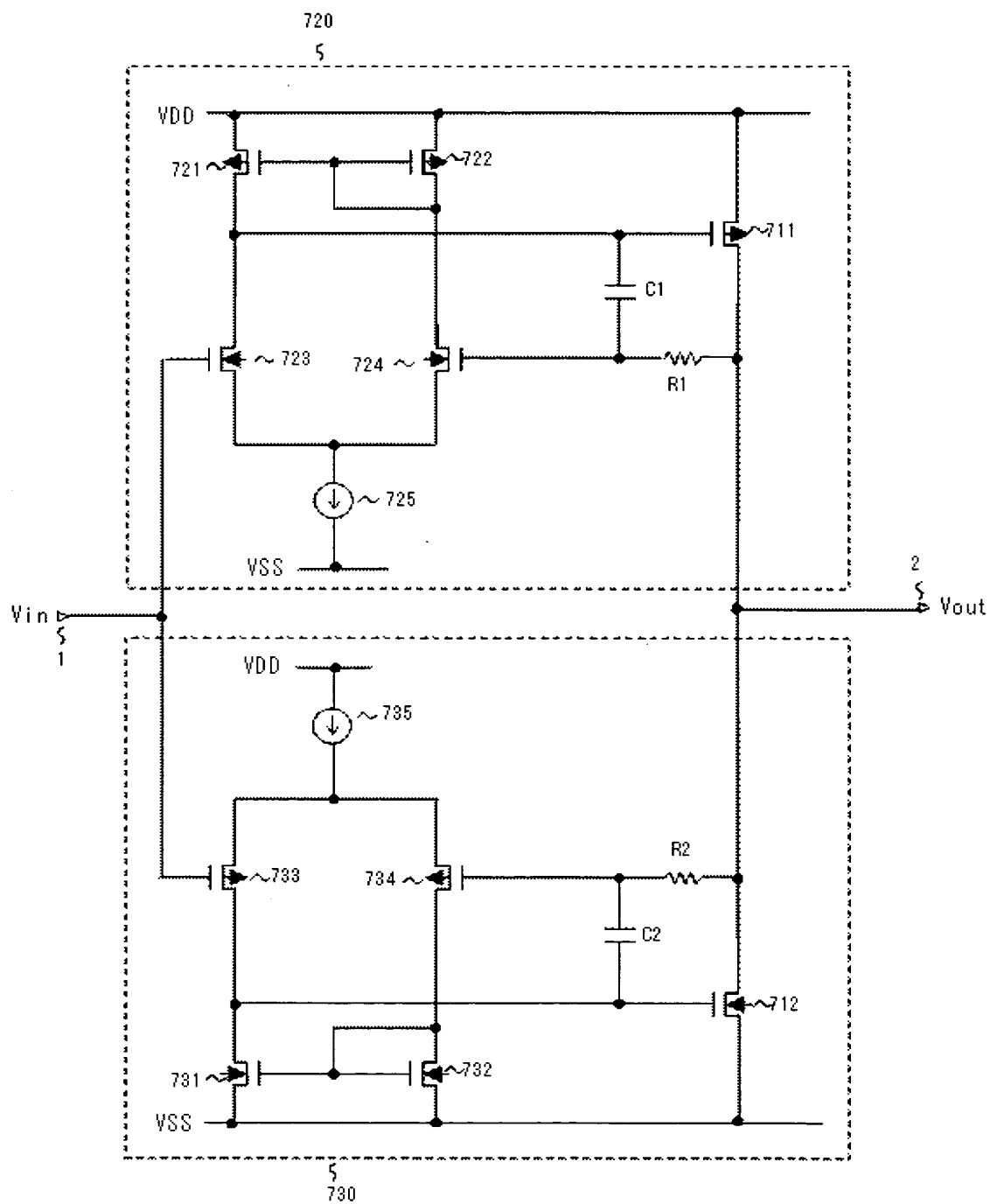
【図 13】



【図 14】

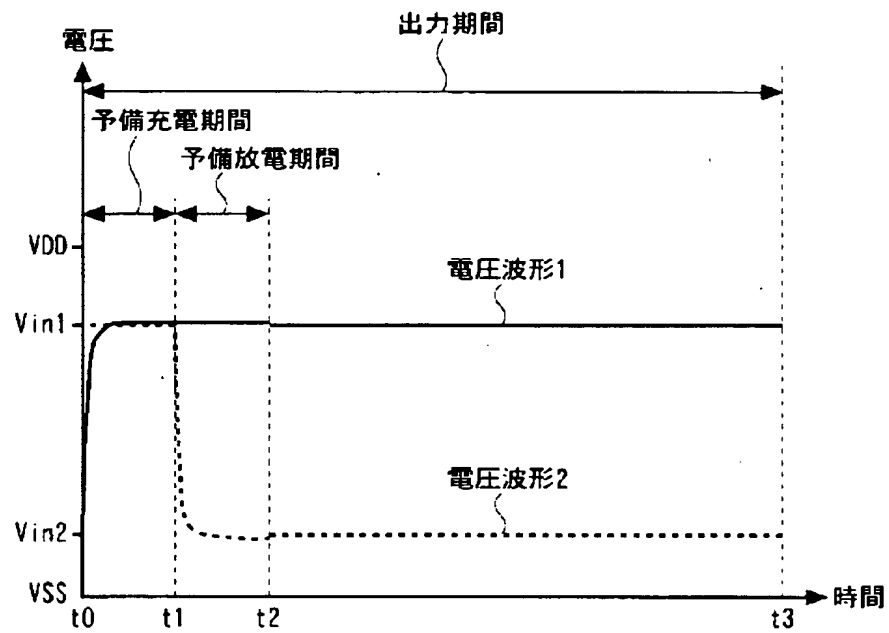


【図 15】





【図 16】



【書類名】 要約書

【要約】

【課題】

容量性負荷を速やかに所望の電圧に駆動するとともに、広ダイナミックレンジを有し低消費電力で高精度出力を実現し、省面積を実現する駆動回路の提供。

【解決手段】

1 データ駆動期間に第1の期間と第2の期間を設け、第1の期間では、設定駆動電圧（V1）の充電駆動用増幅トランジスタ（101）と $V1 < V2$ となる設定駆動電圧（V2）の放電駆動用増幅トランジスタ（102）を共に動作可能とし、第2の期間では、充電駆動または放電駆動のいずれかを行う増幅トランジスタ（101、又は102）とその逆の駆動を行う定電流源（103又は104）を動作させて所望の電圧に駆動する。これにより、広いダイナミックレンジ、及び低消費電力で高速駆動、高精度出力、省面積を実現できる。

【選択図】

図1

特願 2 0 0 3 - 0 3 4 1 3 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

特願 2 0 0 3 - 0 3 4 1 3 0

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社